

# PIC16F627A/628A/648A

---

---

## 6.0 EI MÓDULO TIMER-0

El módulo Timer0 tiene las siguientes características:

Temporizador/contador de 8-BIT

Capacidad de lectura/grabación.

Prescaler (circuito divisor de frecuencias programable por software) de 8-BIT

Posibilidad de seleccionar reloj interno o externo

Posibilidad de Interrupción opcional por desbordamiento de FFh a 00h

El cuadro seleccionado para la figura 6-1 es un diagrama de bloque simplificado del módulo Timer0

.La información adicional está disponible en el PICmicro, manual de referencia de la familia de gama media MCU, DS33023.

El modo TIMER, (contador de tiempos) es seleccionado poniendo a cero el bit de T0CS (OPTION<5>).

En modo Timer, el valor del registro TMR0 se incrementará a cada ciclo de la instrucción (sin prescaler). Si el registro TMR0 es escrito, el incremento se inhibe para los dos ciclos siguientes. El usuario puede trabajar alrededor de esto escribiendo un valor ajustado al registro TMR0.

El modo contador es seleccionado llevando a 1 el bit de T0CS. En este modo el valor del registro TMR0 se incrementará en cada pulso que le llegue al pin de control desde una fuente externa.

Se puede seleccionar la transición que provoca los incrementos mediante el bit (T0SE) (OPTION<4>).

Al poner a cero el bit de T0SE se selecciona el flanco ascendente.

Al poner a 1 este mismo bit se selecciona el flanco descendente

Las restricciones en la entrada de reloj externo se discuten detalladamente en la sección 6.2. El prescaler se comparte entre el módulo Timer0 y el contador de tiempo del watchdog. La asignación del prescaler es controlada en software por el bit de control PSA (OPTION<3>).

Al poner a cero el bit de PSA asignará el prescaler al Timer0.

El prescaler no es legible o escriturable: cuando este se asigna al módulo Timer0.

El valor del prescaler de 1:2, 1:4..., 1:256 es seleccionable, la sección 6.3 detalla la operación del prescaler.

## 6.1 Interrupción de Timer0

Se genera la interrupción Timer0 cuando el registro timer/counter desborda de FFh a 00h, y en la siguiente cuenta se reinicia en 00h, y así sucesivamente. En el momento del reinicio se activa la bandera (FLAG) de T0IF, poniéndose en 1. La interrupción puede ser enmascarada llevando a cero el bit de T0IE (INTCON<5>). El bit de T0IF (INTCON<2>) debe ser puesto a cero en software por la rutina de servicio de la interrupción del módulo Timer0, antes de rehabilitar esta interrupción.

La interrupción Timer0 no puede despertar el procesador del sleep, puesto que el contador de tiempo se apaga durante el sleep.

## 6.2 Uso del Timer0 como contador con clock externo

Cuando una entrada de reloj externa se utiliza para Timer0, se deben resolver ciertos requisitos. debido a la sincronización de la fase interna del reloj (TOSC). También, hay retraso en el incremento real de Timer0 después de la sincronización.

### 6.2.1 Sincronización del clock externo

Cuando no se utiliza el prescaler, la entrada externa de reloj es igual que la salida del prescaler.

La sincronización de T0CKI con la fase interna de los relojes es lograda muestreando la salida del prescaler sobre los ciclos Q2 y Q4 de dichos relojes, (cuadro 6-1).

Por lo tanto, es necesario que T0CKI sea alto durante por lo menos 2TOSC (con un pequeño retardo RC de 20 ns), y bajo durante por lo menos 2TOSC (con un pequeño retardo RC, de 20 ns). Es decir, señales con pulsos demasiado estrechos, no podrán ser detectadas.

Referente a la especificación eléctrica del dispositivo deseado.

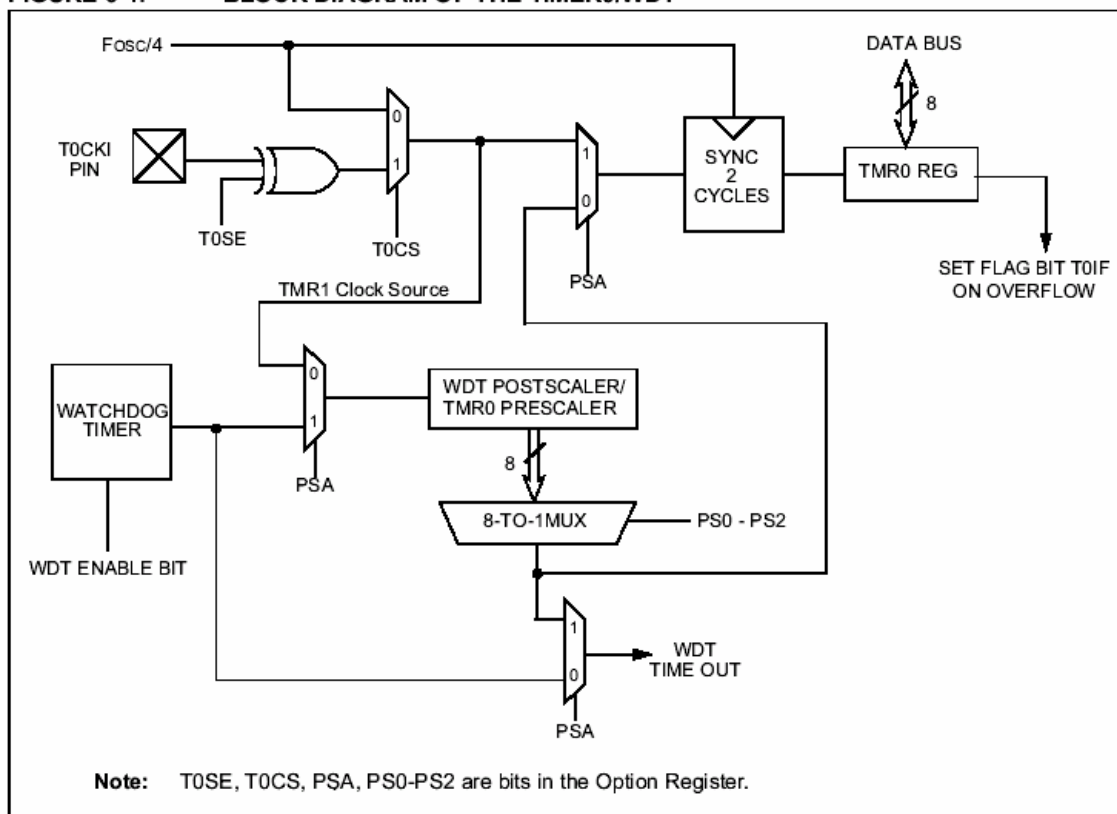
*Cuando se utiliza el prescaler, la entrada externa de reloj, es dividida por el prescaler, contador tipo ripple-asíncrono, de modo que la salida del prescaler será asimétrica. Para que el reloj externo resuelva el requisito del muestreo, el ripple-counter debe ser considerado. Por lo tanto, es necesario para T0CKI tener un período por lo menos de 4TOSC (y de un pequeño retraso RC de 40 ns) divididos por el valor del prescaler. El único requerimiento en tiempo alto y de pulso bajo de T0CKI es no violar la mínima anchura requerida de 10 ns.*

Refiera a los parámetros 40, 41 y 42 en la especificación eléctrica del dispositivo deseado. Vea La Tabla 17-9.

### 6.3 Timer0 Prescaler (divisor programable)

Un contador de 8 bit es habilitado como prescaler para el módulo Timer0. Está disponible como prescaler para el módulo Timer0, o como postscaler para el TIMER del WATCHDOG (perro guardián). Una asignación del prescaler para el módulo Timer0 significa que no hay postscaler para el contador de tiempo del perro guardián, y viceversa. Los pines PSA y PS2:PS0 (OPTION<3:0>) determinan la asignación y el cociente del prescaler. Cuando están asignadas al módulo Timer0, todas las instrucciones que escriben al TMR0 se deben colocar, (e.g., CLRF 1, MOVWF 1, BSF 1, x....etc.) llevando a cero el prescaler. Cuando está asignada a WDT, una instrucción de CLRWDT, llevara a cero el prescaler, junto con el contador de tiempo del perro guardián, en ese caso el prescaler no es legible ni escriturable.

FIGURE 6-1: BLOCK DIAGRAM OF THE TIMER0/WDT



Nota: TOSE, TOCS, PSA, PS0-PS2 son los bits en el registro Option

#### 6.3.1 CONFIGURACIÓN PARA CONMUTACIÓN DEL PRESCALER

La configuración del prescaler está completamente bajo control del software, (es decir, puede ser cambiada "en marcha" durante la ejecución de programa). Utilice las secuencias de instrucción demostradas en el ejemplo 6-1 al cambiar

la asignación del prescaler de Timer0 a WDT, para evitar un RESET involuntario del dispositivo. Para cambiar el prescaler del WDT al módulo Timer0, utilice la secuencia demostrada en el ejemplo 6-2. Esta precaución debe ser tomada incluso si el WDT es reseteado.

-----  
-----

### EXAMPLE 6-1: CHANGING PRESCALER (TIMER0. ----->WDT)

<b>BCF STATUS, RP0</b>	<b>;Skip if already in ‘ (salte si ya está dentro)</b>
	<b>;Bank 0</b>
<b>CLRWDT</b>	<b>;Clear WDT</b>
<b>CLRF TMR0</b>	<b>;Clear TMR0 and</b>
	<b>;Prescaler</b>
<b>BSF STATUS, RP0</b>	<b>;Bank 1</b>
<b>MOVLW '00101111'b</b>	<b>;These 3 lines (estas 3 líneas)</b>
	<b>;(5, 6, 7)</b>
<b>MOVWF OPTION_REG</b>	<b>;are required only (se require solamente)</b>
	<b>;if desired PS&lt;2:0&gt; ( si desea PS&lt;2&gt;)</b>
	<b>;are (sea)</b>
<b>CLRWDT</b>	<b>;000 or 001</b>
<b>MOVLW '00101xxx'b</b>	<b>;Set Postscaler to</b>
<b>MOVWF OPTION_REG</b>	<b>;desired WDT rate</b>
<b>BCF STATUS, RP0</b>	<b>;Return to Bank 0</b>

## EXAMPLE 6-2: CHANGING PRESCALER (WDT→TIMER0)

```

CLRWDTP           ;Clear WDT and
                  ;prescaler

BSF    STATUS, RP0
MOVLW  b'xxxx0xxx' ;Select TMR0, new
                  ;prescale value and
                  ;clock source

MOVWF  OPTION_REG
BCF    STATUS, RP0
    
```

TABLE 6-1: REGISTERS ASSOCIATED WITH TIMER0

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR	Value on All Other RESETS
01h, 101h	TMR0	Timer0 module register								xxxx xxxx	uuuu uuuu
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
81h, 181h	OPTION <sup>(2)</sup>	$\overline{\text{RBPU}}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
85h	TRISA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	1111 1111	1111 1111

Leyenda: - = las localizaciones no implementadas, se leen como `0', u = sin cambiar, x = desconocida 1: Los bits sombreados no son utilizados por el módulo de Timer0. 2: La opción es referida por OPTION\_REG en MPLAB®.

## PIC16F627A/628A/648A

### 7.0 EI MÓDULO TIMER1

El módulo Timer1 es un timer/counter de 16-bit que consiste en dos registros de 8-bit (TMR1H y TMR1L) los cuales son legibles y escriturables.

El par de registros del TMR1, (TMR1H:TMR1L) se incrementan desde 0000h a FFFFh y en la siguiente cuenta se reinicia en 00h y así sucesivamente. La interrupción Timer1, si está habilitada, se genera por el desbordamiento del par de registros del TMR1 el cual genera un bit de interrupción (FLAG) en TMR1IF (PIR1<0>).

Esta interrupción se puede habilitar/deshabilitar, llevando a 0 o a 1, el bit de control de TMR1IE (PIE1<0>).

Timer1 puede funcionar en uno de los dos modos:

- A) Como temporizador.
- B) Como contador.

El modo de funcionamiento es determinado por el bit selector de clock, TMR1CS (T1CON<1>).

En el modo de temporizador, los valores del par de registros del TMR1 se incrementarán a cada ciclo de la instrucción.

En modo contador, se incrementarán en cada flanco ascendente de la entrada de reloj externa.

Timer1 se puede habilitar/deshabilitar llevando a 1 o a 0 el bit de control de TMR1ON (T1CON<0>).

Timer1 también tiene una "entrada de RESET interna".

Este RESET se puede generar a través del módulo CCP (sección 9.0).

La tabla de registro 7-1, muestra el registro de control del Timer1.

Para el PIC16F627A/628A/648A, cuando el oscilador de Timer1 es habilitado, (T1OSCEN, es puesto a 0), los pines de, RB7/T1OSI y de RB6/T1OSO/T1CKI se convierten en entradas. Es decir, el valor de TRISB<7:6> es ignorado.

## TABLA DE REGISTROS 7-1:

### T1CON: REGISTROS DE CONTROL DE TIMER1 (ADDRESS: 10h)

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{T1SYNC}$	TMR1CS	TMR1ON
bit 7							bit 0

bit 7-6	<b>Unimplemented:</b> Read as '0'
bit 5-4	<b>T1CKPS1:T1CKPS0:</b> Timer1 Input Clock Prescale Select bits 11 = 1:8 Prescale value 10 = 1:4 Prescale value 01 = 1:2 Prescale value 00 = 1:1 Prescale value
bit 3	<b>T1OSCEN:</b> Timer1 Oscillator Enable Control bit 1 = Oscillator is enabled 0 = Oscillator is shut off <sup>(1)</sup>
bit 2	<b>T1SYNC:</b> Timer1 External Clock Input Synchronization Control bit <u>TMR1CS = 1</u> 1 = Do not synchronize external clock input 0 = Synchronize external clock input <u>TMR1CS = 0</u> This bit is ignored. Timer1 uses the internal clock when TMR1CS = 0.
bit 1	<b>TMR1CS:</b> Timer1 Clock Source Select bit 1 = External clock from pin RB6/T1OSO/T1CKI (on the rising edge) 0 = Internal clock ( $F_{osc}/4$ )
bit 0	<b>TMR1ON:</b> Timer1 On bit 1 = Disables Timer1 0 = Stops Timer1  <b>Note 1:</b> The oscillator inverter and feedback resistor are turned off to eliminate power drain.

**Legend:**

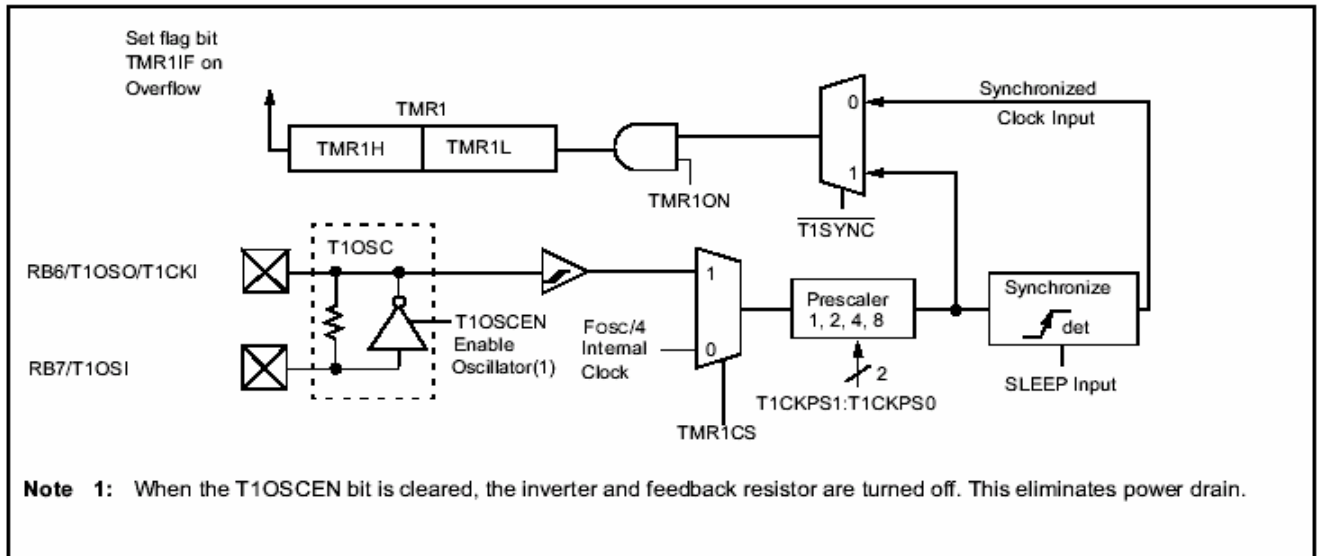
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared    x = Bit is unknown

## PIC16F627A/628A/648A

### 7.1 Operación Timer1 en modo contador de tiempo

El modo de contador de tiempo es seleccionado llevando a 0 el bit de TMR1CS (T1CON<1>). En este modo, la entrada de reloj al contador de tiempo es  $F_{OSC}/4$ . El bit de control de sincronización, T1SYNC, (T1CON<2>) no tiene ningún efecto, puesto que el reloj interno está siempre en sync.

**FIGURE 7-1: TIMER1 BLOCK DIAGRAM**



Nota 1: Cuando el bit de T1OSCEN, es puesto a cero, el inversor y el resistor de regeneración son puestos a 0. Esto elimina el drenador de alimentación

## 7.2 La operación Timer1 en modo contador sincronizado

El modo contador es seleccionado configurando el bit TMR1CS.

En este modo, los valores del par de registro del TMR1, se incrementarán en cada pulso que le llegue a la entrada de reloj en el pin RB7/T1OSI,

Cuando el bit T1OSCEN es puesto a 1, o cuando el pin RB6/T1OSO/T1CKI , T1OSCEN es puesto a 0 ????

Si T1SYNC es puesto a 0, entonces la entrada de reloj externa se sincroniza con la fase de los relojes internos.

La sincronización se hace después de la etapa del prescaler.

La etapa del prescaler es un contador-divisor asincrónico. En esta configuración, durante modo SLEEP, el valor del par de registros del TMR1 no se incrementaran, incluso si el reloj externo está presente, puesto que se apaga el circuito de sincronización. El prescaler sin embargo continuará incrementando.

### 7.2.1 SINCRONIZACIÓN DE ENTRADA EXTERNA DE RELOJ, PARA MODO CONTADOR SINCRONIZADO

Cuando una entrada de reloj externa se utiliza para Timer1 en modo contador sincronizado, se deben resolver ciertos retrasos. El retraso externo del reloj es debido a la fase de sincronización interna del mismo (Tosc). También, hay retraso en el incremento real del valor del par del registro TMR1 después de la sincronización. Cuando el prescaler es 1:1, la entrada de reloj externa es igual

a la salida del prescaler. La sincronización de T1CKI con la fase interna de los relojes es lograda mediante el muestreo de la salida del prescaler, en los ciclos Q2 Y Q 4 de la fase interna de los relojes. Por lo tanto, es necesario que T1CKI sea alto por lo menos durante  $2T_{osc}$  (y un pequeño retardo RC de 20 ns) y bajo por lo menos durante  $2T_{osc}$  (y un pequeño retardo RC de 20 ns). Refiera a las especificaciones eléctricas apropiadas, parámetros 45, 46, y 47. Cuando un prescaler con excepción de 1:1 es usada, la entrada externa del modo contador es dividida por el tipo asincrónico del ripple counter, de modo que la salida del prescaler es simétrica. Para que el reloj externo resuelva el requisito del muestreo, el ripple-counter debe ser considerado. Por lo tanto, es necesario para T1CKI tener un período de por lo menos  $4T_{osc}$  (y de un RC pequeño retardo de 40 ns) divididos por el valor del prescaler. El único requisito en tiempo alto y bajo de T1CKI es que no se deben violar los requisitos mínimos de ancho del pulso de 10 ns). Refiera a las especificaciones eléctricas apropiadas, parámetros 45, 46, y 47.

Nota 1: Cuando el bit de T1OSCEN es borrado, el inversor y la resistencia de regeneración se tornan off. Esto elimina la energía del drain

## **PIC16F627A/628A/648A**

---

### **7.3 La operación Timer1 en modo contador asincrónico**

Si el bit de control T1SYNC (T1CON<2>) es puesto a cero, la entrada de reloj externa no se sincroniza. El contador de tiempo continúa incrementando asincrónicamente a la fase de los relojes internos. El contador de tiempo continuará funcionando durante SLEEP y puede generar una interrupción por el desbordamiento, que despierta el procesador. Sin embargo, es necesario tener precauciones especiales en el software para leer y escribir el timer (sección 7.3.2 )

<p><b>Note:</b> In Asynchronous Counter mode, Timer1 cannot be used as a time-base for capture or compare operations.</p>
---

Nota: En modo contador asincrónico, Timer1 no se puede utilizar, como una base de tiempo para la captura o comparación de operaciones.

### EXAMPLE 7-1: READING A 16-BIT FREE-RUNNING TIMER

```
; All interrupts are disabled
MOVWF TMR1H, W ;Read high byte
MOVWF TMPH ;
MOVWF TMR1L, W ;Read low byte
MOVWF TMPL ;
MOVWF TMR1H, W ;Read high byte
SUBWF TMPH, W ;Sub 1st read with
;2nd read
BTFSC STATUS,Z ;Is result = 0
GOTO CONTINUE ;Good 16-bit read
;
; TMR1L may have rolled over between the
; read of the high and low bytes. Reading
; the high and low bytes now will read a good
; value.
;
MOVWF TMR1H, W ;Read high byte
MOVWF TMPH ;
MOVWF TMR1L, W ;Read low byte
MOVWF TMPL ;
; Re-enable the Interrupts (if required)
CONTINUE ;Continue with your
;code
```

## 7.3.1 TEMPORIZADOR CON ENTRADA EXTERNA DE RELOJ NO SINCRONIZADA

Si el bit de control T1SYNC se lleva a 1, el contador de tiempo incrementará en forma asincrónica. El reloj de entrada debe resolver ciertos requisitos mínimos altos y bajos de tiempo. Refiera a la tabla 17-9 en la sección de especificaciones eléctrica, midiendo el tiempo de los parámetros 45, 46, y 47.

## 7.3.2 LECTURA Y ESCRITURA DEL TIMER1 EN EL MODO CONTADOR NO SINCRONIZADO

Leer el registro de TMR1H o de TMR1L mientras que el timer está funcionando, desde un reloj asincrónico externo, producirán una lectura válida (tomado cuidado en el hardware). Sin embargo, el usuario debe tener presente que la lectura del contador de tiempo de 16 bits, en dos valores de 8-bit, plantea ciertos problemas, puesto que el contador se puede desbordar mientras lee.

Para escribir, se recomienda al usuario parar simplemente el timer y escribir los valores deseados. Puede ocurrir un inconveniente escribiendo en el registro del timer, mientras que el registro se está incrementando. Esto puede producir un valor imprevisible en el registro del timer.

La lectura del valor 16-bit requiere un cierto cuidado. El ejemplo 7-1 es una rutina de ejemplo para leer el valor 16-bit del timer. Esto es útil si el timer no puede ser parado.

### EXAMPLE 7-1: READING A 16-BIT FREE-RUNNING TIMER

```
; All interrupts are disabled
MOVWF  TMR1H, W    ;Read high byte
MOVWF  TMPH       ;
MOVWF  TMR1L, W   ;Read low byte
MOVWF  TMPL       ;
MOVWF  TMR1H, W   ;Read high byte
SUBWF  TMPH, W    ;Sub 1st read with
                ;2nd read
BTFSC  STATUS, Z  ;Is result = 0
GOTO   CONTINUE  ;Good 16-bit read
;
; TMR1L may have rolled over between the
; read of the high and low bytes. Reading
; the high and low bytes now will read a good
; value.
;
MOVWF  TMR1H, W   ;Read high byte
MOVWF  TMPH       ;
MOVWF  TMR1L, W   ;Read low byte
MOVWF  TMPL       ;
; Re-enable the Interrupts (if required)
CONTINUE                ;Continue with your
                        ;code
```

## 7.4 TIMER1, EL CIRCUITO OSCILADOR

Un cristal oscilador se intercala entre los pines, T1OSI (entrada) y T1OSO (amplificador de salida). Es habilitado llevando a 1 el control T1OSCEN (T1CON<3>). Continuará funcionando durante el SLEEP. Esta pensado sobre todo para un cristal del reloj de 32.768 kilociclos. La tabla 7-1 muestra la selección del condensador para el oscilador Timer1. El usuario debe proporcionar un retardo por software para asegurar el start-up apropiado del oscilador.

**TABLE 7-1: CAPACITOR SELECTION FOR THE TIMER1 OSCILLATOR**

Freq	C1	C2
32.768 kHz	15 pF	15 pF
<b>These values are for design guidance only. Consult AN826 (DS00826) for further information on Crystal/Capacitor Selection.</b>		

## 7.5 El reajuste de Timer1 usando un trigger de salida CCP

Si el módulo CCP1 se configura en modo comparación para generar un "evento especial de disparo" (CCP1M3:CCP1M0 = 1011), esta señal pone a 0 el Timer1.

**Note:** The special event triggers from the CCP1 module will not set interrupt flag bit TMR1IF (PIR1<0>).

Timer1 se debe configurar para que el timer, o el modo contador sincronizado se aproveche de esta característica. Si Timer1 está funcionando en modo contador asincrónico, esta operación de RESET puede no trabajar. En caso de que al escribir el Timer1 coincida con un acontecimiento especial de disparo del CCP1, la escritura tomará precedencia. En este modo de operación, los pares de registros de CCPRxH:CCPRxL se convierten con eficacia en períodos de registro para el Timer1.

## 7.6 RESETEO DEL PAR DE REGISTROS DEL TIMER1 (TMR1H, TMR1L)

Los registros de TMR1H y de TMR1L no son reseteados a 00h en un POR (power on reset) ni ningún otro RESET excepto por el evento especial de disparo de CCP1.

El registro de T1CON se resetea a 00h en power-on-reset o un RESET del brown-out, que apaga el contador de tiempo y deja un prescale de 1:1.

En el resto de los RESETS, el registro es inafectado

## 7.7 PRESCALER DEL TIMER1

El contador del prescaler es puesto a 0, por medio de los registros TMR1H, o TMR1L.

**TABLE 7-2: REGISTERS ASSOCIATED WITH TIMER1 AS A TIMER/COUNTER**

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR	Value on all other RESETS
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	EEIF	CMIF	RCIF	TXIF	—	CCP1IF	TMR2IF	TMR1IF	0000 -000	0000 -000
8Ch	PIE1	EEIE	CMIE	RCIE	TXIE	—	CCP1IE	TMR2IE	TMR1IE	0000 -000	0000 -000
0Eh	TMR1L	Holding register for the Least Significant Byte of the 16-bit TMR1 register								xxxx xxxx	uuuu uuuu
0Fh	TMR1H	Holding register for the Most Significant Byte of the 16-bit TMR1 register								xxxx xxxx	uuuu uuuu
10h	T1CON	—	—	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON	--00 0000	--uu uuuu

Legend: x = unknown, u = unchanged, - = unimplemented read as '0'. Shaded cells are not used by the Timer1 module.