

TEMA 5: EL TRANSISTOR BIPOLAR

5.1. Estructura física.

5.1.1 Transistores pnp y npn

5.2. Regiones de operación.

5.2.1 Región activa directa.

5.2.2 Región de saturación.

5.2.3 Región de corte.

5.2.4 Región activa inversa.

5.3. El transistor bipolar como elemento de circuito:

5.3.1 Variables de circuito y configuraciones básicas:

- *emisor común*
- *base común*
- *colector común.*

5.3.2 Transistor bipolar en configuración emisor común. Curvas características. Modelos básicos.

5.3.3 Circuitos con transistores: Cálculo del punto de trabajo.

5.3.4 Circuitos con transistores: Cálculo de la característica de transferencia.

5.4. Familias lógicas bipolares.

5.4.1 Familia RTL.

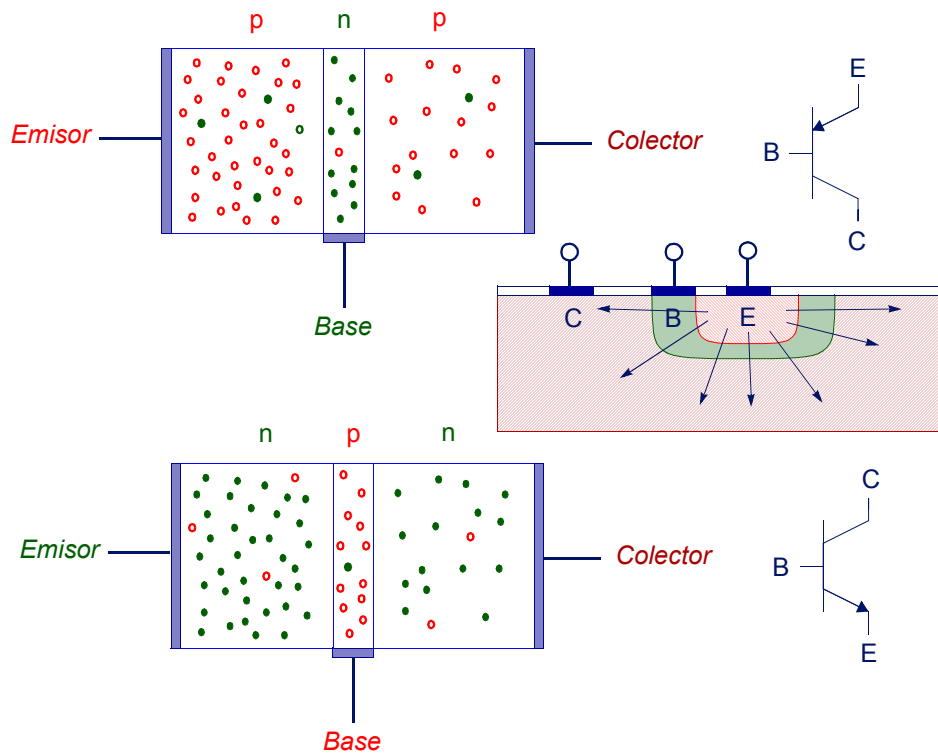
5.4.2 Familia DTL.

5.4.3 Familia TTL.

LECTURAS COMPLEMENTARIAS

- **Fernández Ramos, J. y otros, "Dispositivos Electrónicos para Estudiantes de Informática" Universidad de Málaga / Manuales 2002. Tema 5: pag. 93- 133.**
- **Malik, N.R., "Circuitos Electrónicos. Análisis, Simulación y Diseño", Editorial Prentice-Hall 1996. Tema: 4: pag. 220-251.**
- **Daza A. y García J. "Ejercicios de Dispositivos Electrónicos" Universidad de Málaga/Manuales 2003. Tema 3: pag 107-167.**
- **<http://jas.eng.buffalo.edu/education/index.html>**

ESTRUCTURA FÍSICA

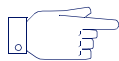


EL ÁREA DE CONTACTO BASE-EMISOR ES MENOR QUE EL ÁREA DE CONTACTO BASE-COLECTOR:



EL EMISOR INYECTA PORTADORES QUE RECOGE EL COLECTOR

LA BASE ES ESTRECHA:



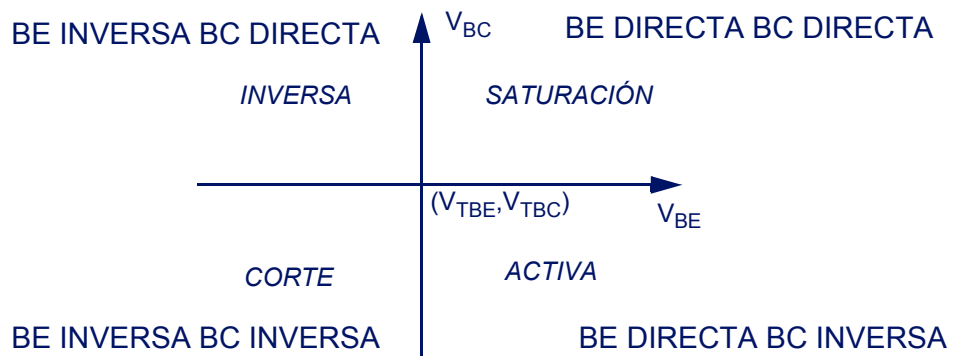
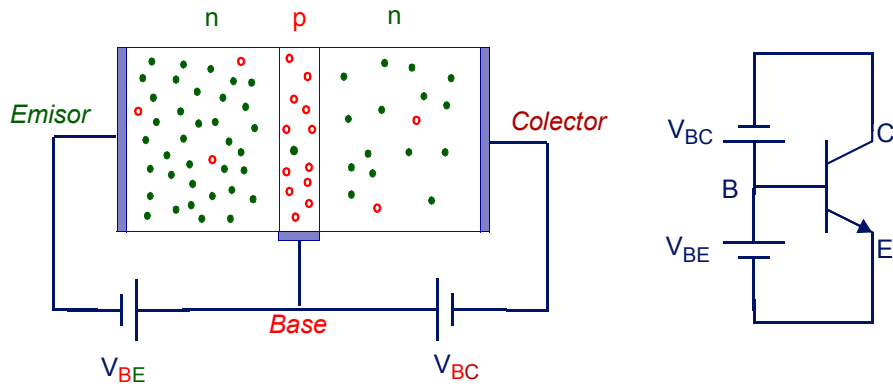
MUCHOS PORTADORES "SOBREVIVEN" A LA RECOMBINACIÓN

EL EMISOR ESTÁ MÁS DOPADO QUE EL COLECTOR Y LA BASE:

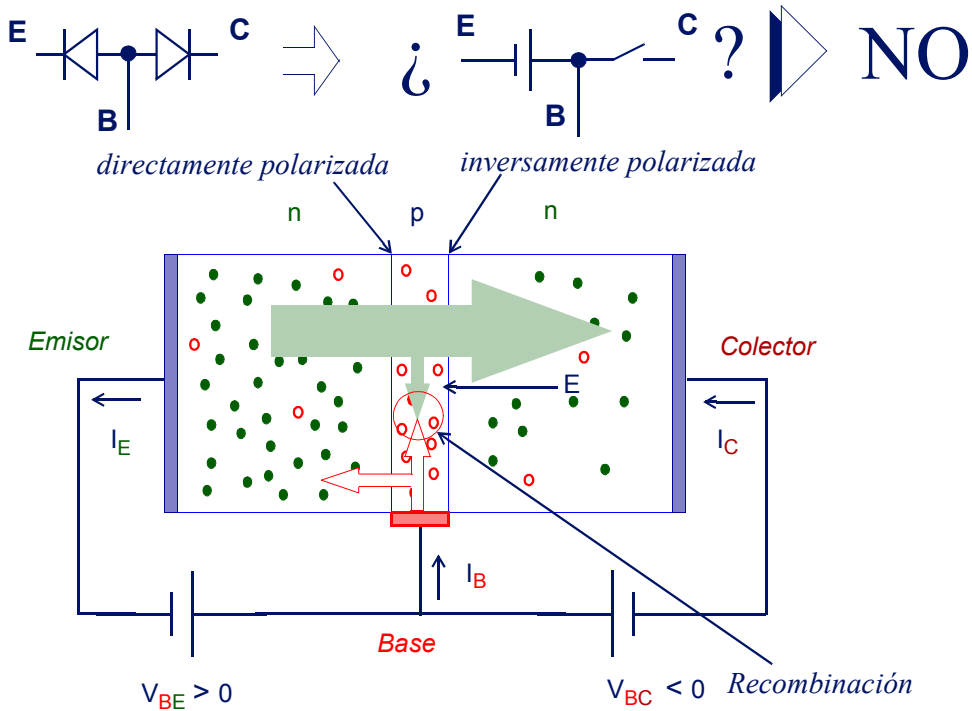


ES EL QUE INYECTA PORTADORES

REGIONES DE OPERACIÓN



REGIÓN ACTIVA



EL EMISOR INYECTA PORTADORES QUE RECOGE EL COLECTOR
MUCHOS PORTADORES "SOBREVIVEN" A LA RECOMBINACIÓN

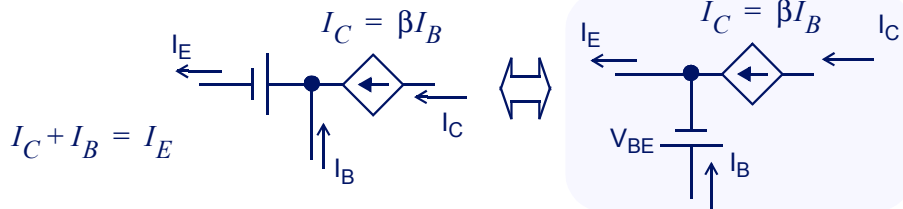
$$I_C = \alpha I_E, \quad \alpha \approx 1$$



$$I_B \propto e^{V_{BE}/V_T}$$

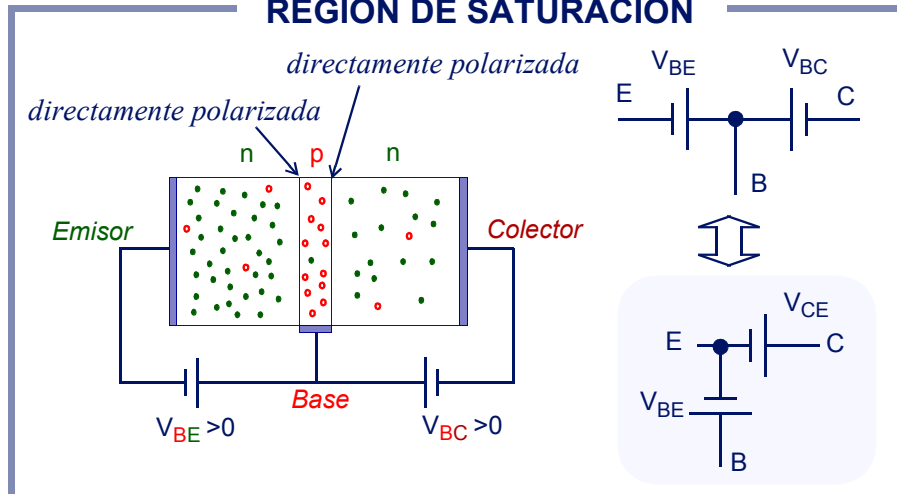
$$I_E \propto e^{V_{BE}/V_T}$$

$$I_E \propto I_B \rightarrow I_C \propto I_B$$

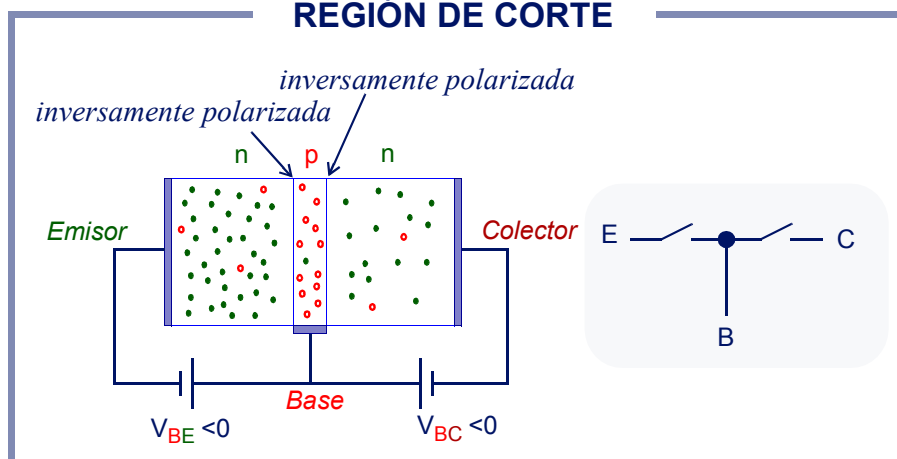


EL EMISOR ESTÁ MUCHO MÁS DOPADO QUE LA BASE:
 I_E ES MUCHO MÁS GRANDE QUE I_B , ES DECIR β ES GRANDE

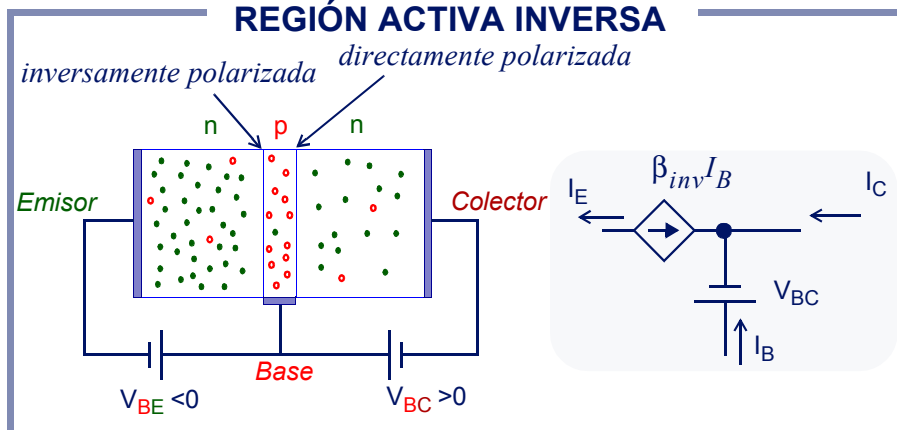
REGIÓN DE SATURACIÓN



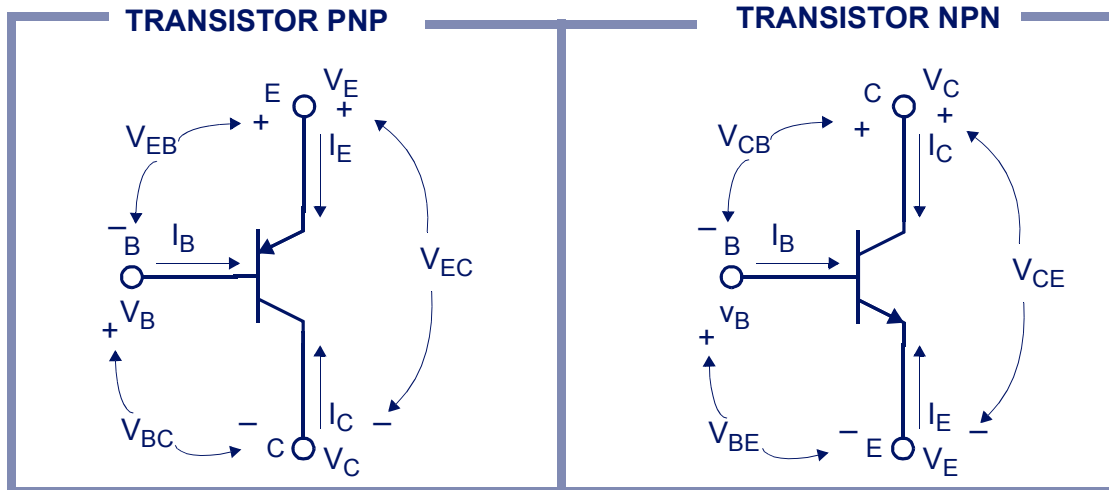
REGIÓN DE CORTE



REGIÓN ACTIVA INVERSA



TRANSISTOR BIPOLAR COMO ELEMENTO DE CIRCUITO



Elemento de tres terminales: seis variables de circuito

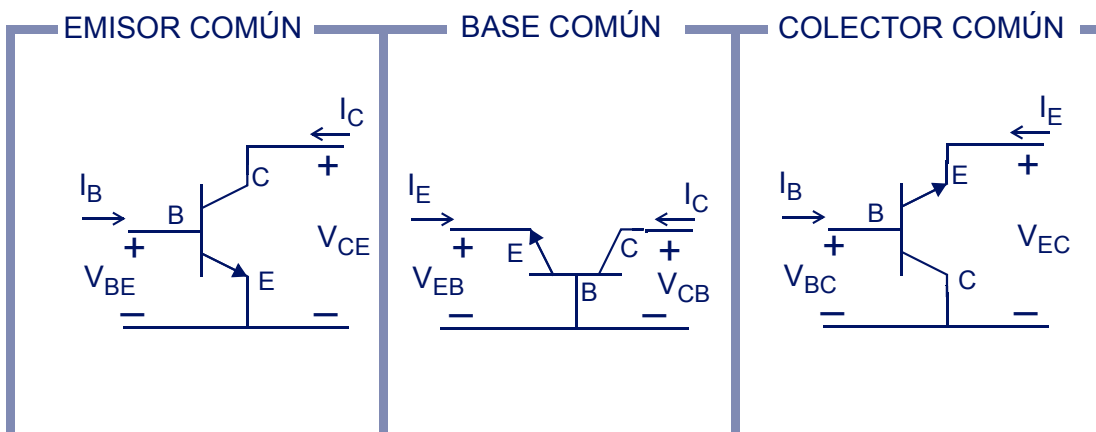
$$I_B, I_C, I_E \quad V_B, V_C, V_E \text{ o bien } \begin{array}{l} V_{BC}, V_{EC}, V_{EB} \text{ (PNP)} \\ V_{BE}, V_{CE}, V_{CB} \text{ (NPN)} \end{array}$$

sólo cuatro variables son independientes:

$$\begin{array}{ll} \text{LKI: } I_B + I_C + I_E = 0 & \text{LKV: } V_B + V_C + V_E = 0 \\ \text{LKV: } V_{BC} - V_{EC} + V_{EB} = 0 \text{ (PNP)} & \\ \text{LKV: } V_{BE} - V_{CE} + V_{CB} = 0 \text{ (NPN)} & \end{array}$$



Tres configuraciones:



TRANSISTOR BIPOLAR EN EMISOR COMÚN CURVAS CARACTERÍSTICAS CONDICIONES EN LAS REGIONES DE TRABAJO

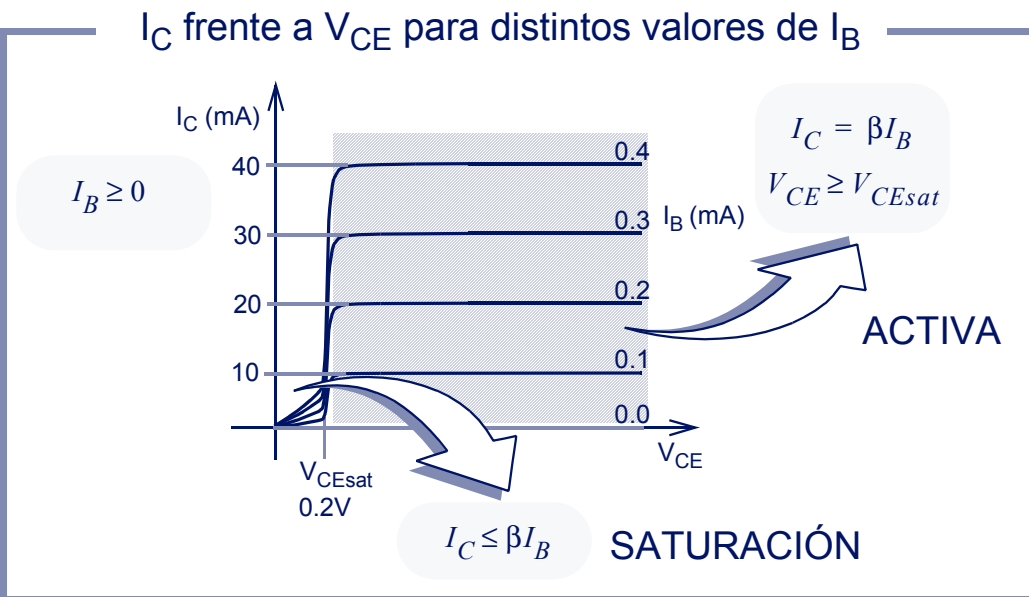
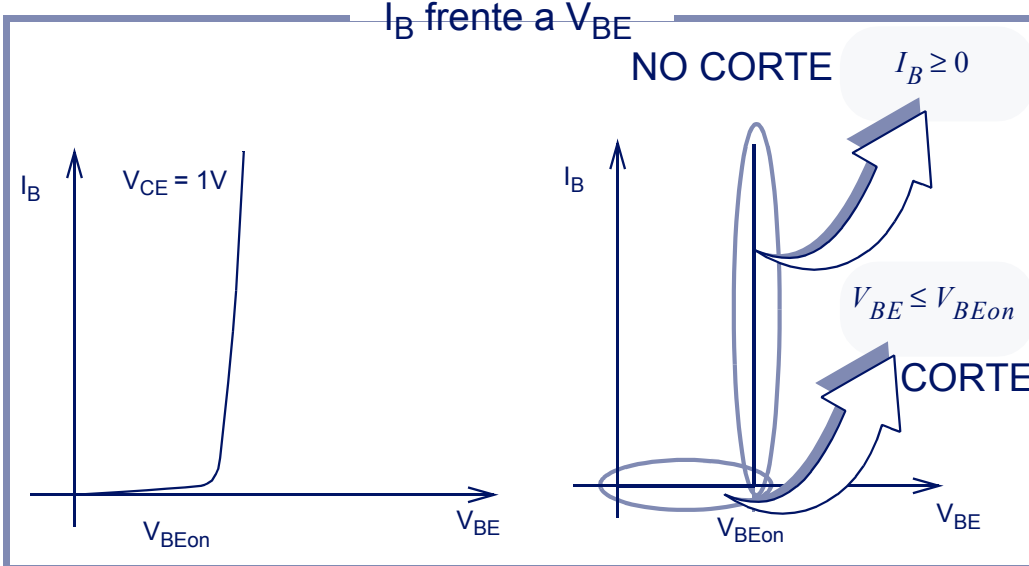
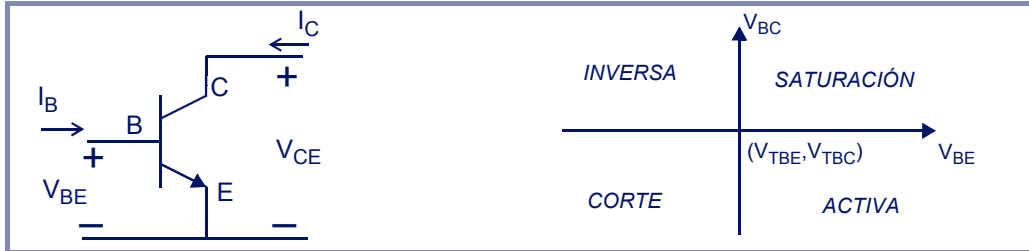
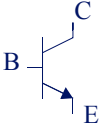
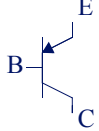
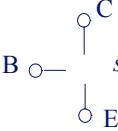
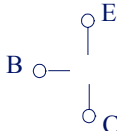
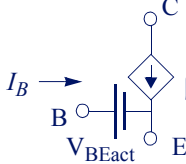
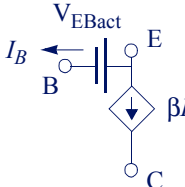
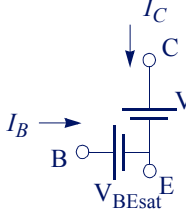
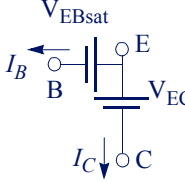
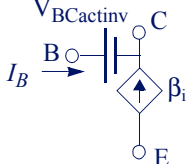
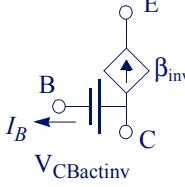
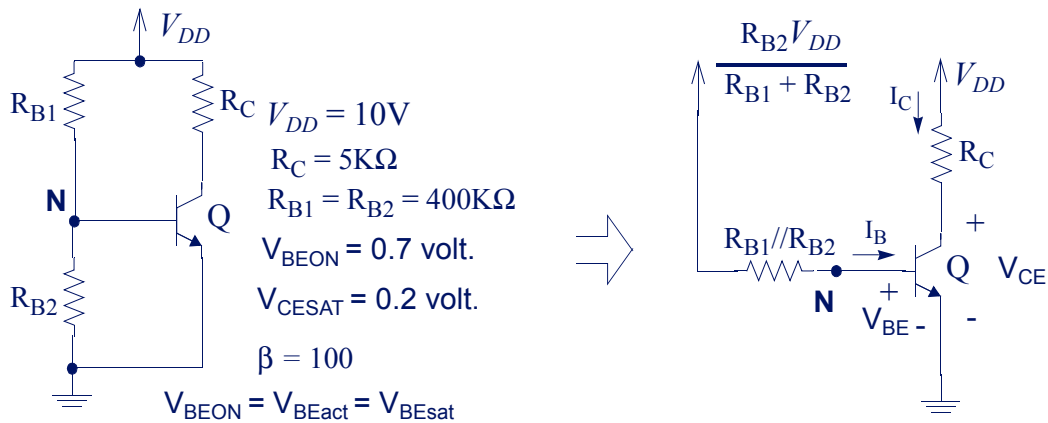


TABLA RESUMEN DE MODELOS Y CONDICIONES

NPN	PNP
	
<i>REGIÓN DE CORTE</i>	
 $si V_{BE} \leq V_{BEon}$	 $si V_{EB} \leq V_{EBon}$
<i>REGIÓN ACTIVA</i>	
 $si I_B \geq 0$ $y V_{CE} \geq V_{CEsat}$	 $si I_B \geq 0$ $y V_{EC} \geq V_{ECsat}$
<i>REGIÓN DE SATURACIÓN</i>	
 $si I_B \geq 0$ $y \beta I_B \geq I_C$	 $si I_B \geq 0$ $y \beta I_B \geq I_C$
<i>REGIÓN ACTIVA INVERSA</i>	
 $si I_B \geq 0$ $y V_{EC} \geq V_{ECsat}$	 $si I_B \geq 0$ $y V_{CE} \geq V_{CEsatinv}$

TRANSISTOR BIPOLAR COMO ELEMENTO DE CIRCUITO

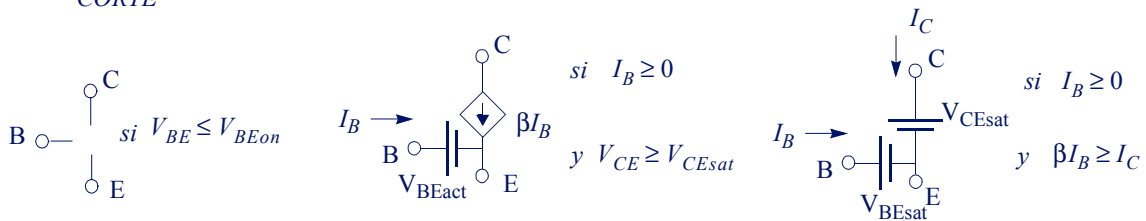
Ejemplos: En este circuito, determinar el valor de las variables de emisor común que determinan el punto de trabajo del transistor.



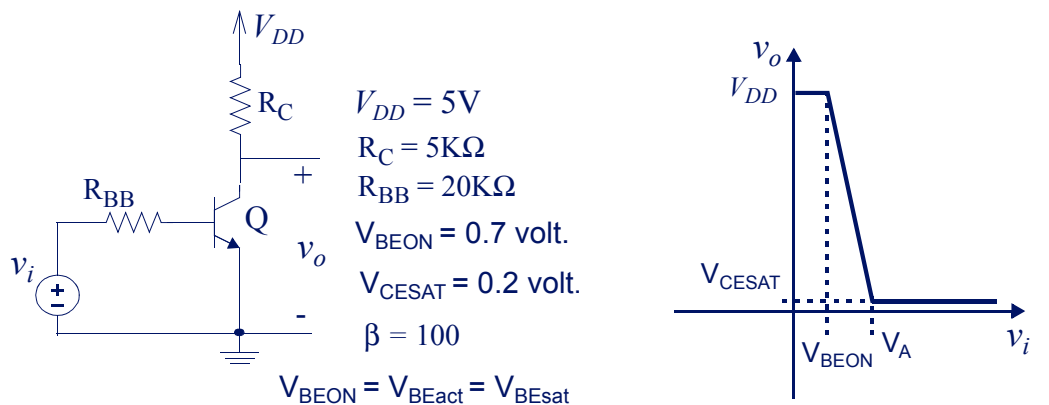
CORTE

ACTIVA

SATURACIÓN



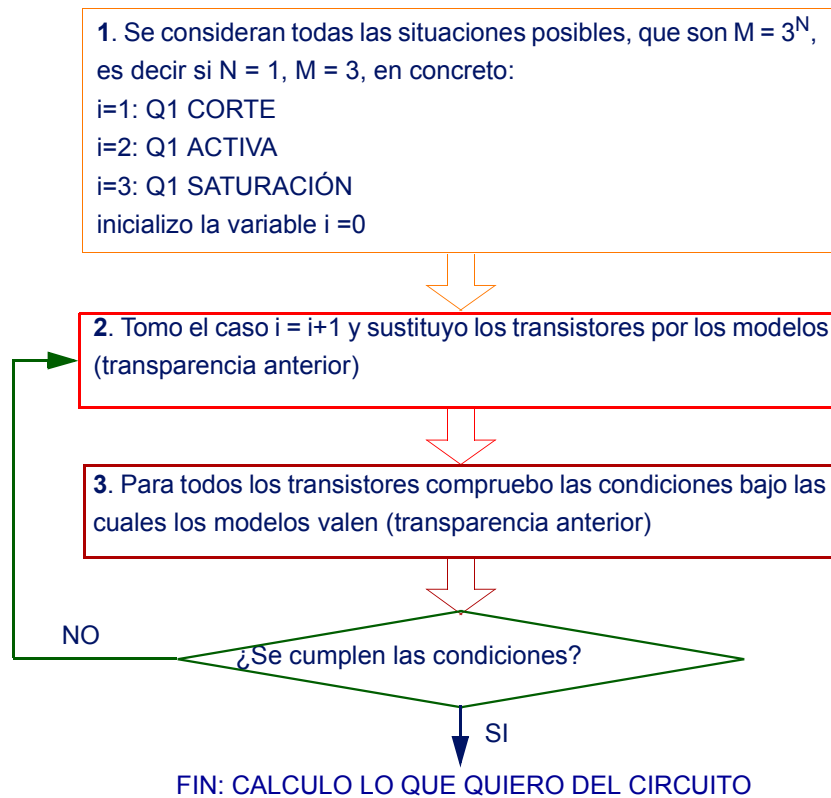
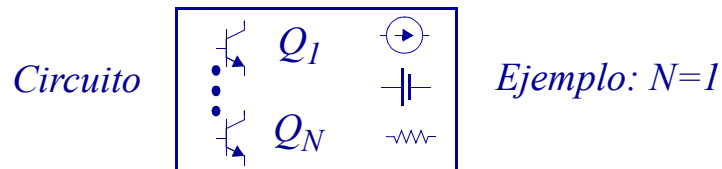
Ej: Verificar que la curva v_o-v_i en este circuito es la siguiente



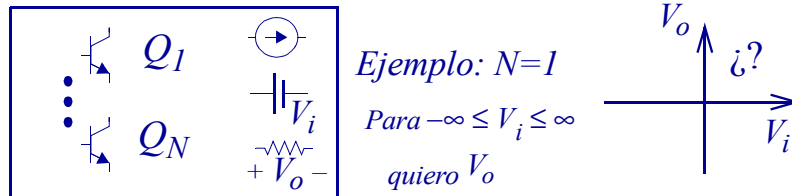
$$V_A = \frac{R_{BB}}{\beta R_C} (V_{DD} - V_{CESAT}) + V_{BEON}$$

TRANSISTOR BIPOLAR COMO ELEMENTO DE CIRCUITO

CÁLCULO DEL PUNTO DE TRABAJO: UN ALGORITMO



TRANSISTOR BIPOLAR COMO ELEMENTO DE CIRCUITO CÁLCULO DE CARACTERÍSTICA DE TRANSFERENCIA:



1. Se consideran todas las situaciones posibles, que son $M = 3^N$, es decir si $N = 1$, $M = 3$, en concreto:

$i=1$: Q1 CORTE

$i=2$: Q1 ACTIVA

$i=3$: Q1 SATURACIÓN

inicializo la variable $i = 0$

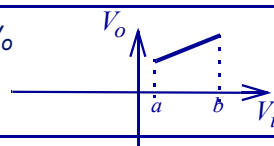
2. Tomo el caso $i = i+1$ y sustituyo los transistores por los modelos

3. Para todos los transistores impongo las condiciones bajo las cuales los modelos valen.

4. De las condiciones anteriores obtengo las condiciones sobre V_i :

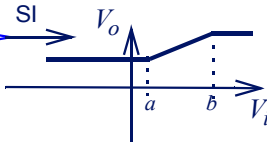
$$\left. \begin{array}{l} V_{BE} \leq V_{BEon} \\ I_B \geq 0 \\ \beta I_B \geq I_C \\ V_{CE} \geq V_{CEsat} \end{array} \right\} \rightarrow a \leq V_i \leq b$$

5. Cálculo V_o



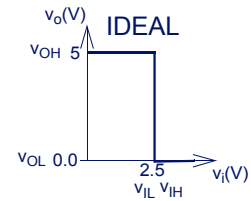
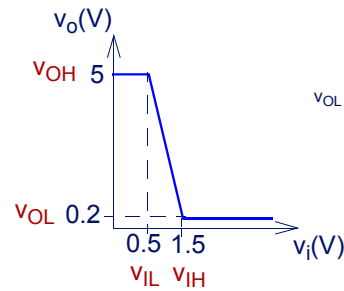
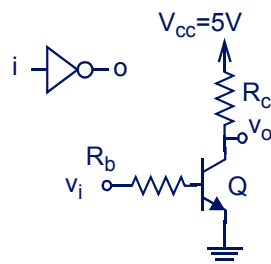
NO

¿ $i = M$?

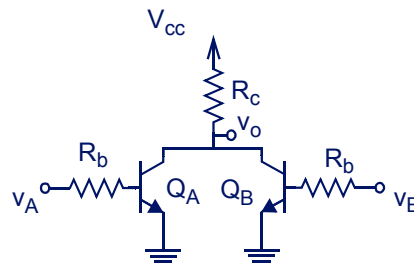
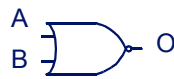


FAMILIAS LÓGICAS BIPOLARES: RTL

Inversor RTL



Puerta básica: NOR



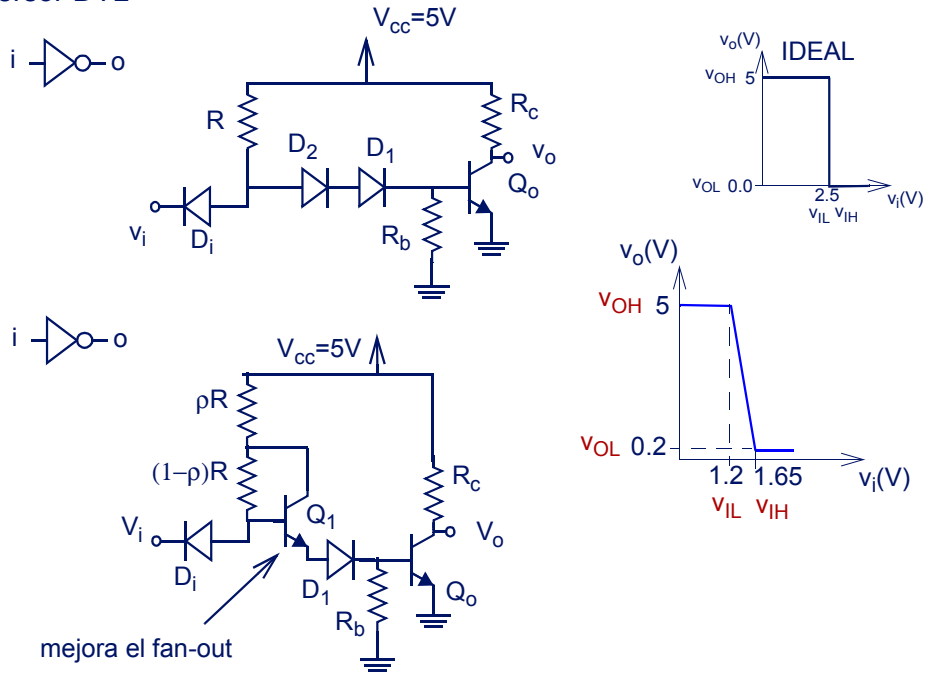
Calidad:

- ◆ Fan-out: 5 puertas
- ◆ Margen de ruido: 0.13V (con las cinco puertas conectadas)
- ◆ Retraso: 12ns
- ◆ Consumo: 11mW

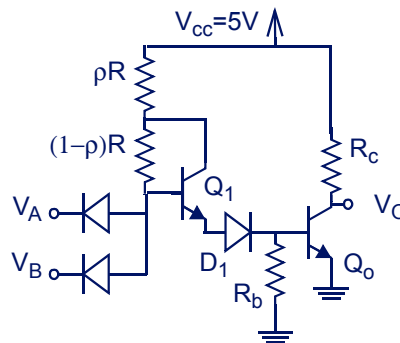
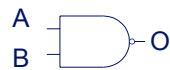
☞ **POBRES FAN-OUT Y MARGEN DE RUIDO**

FAMILIAS LÓGICAS BIPOLARES: DTL

Inversor DTL



Puerta básica: NAND



Calidad:

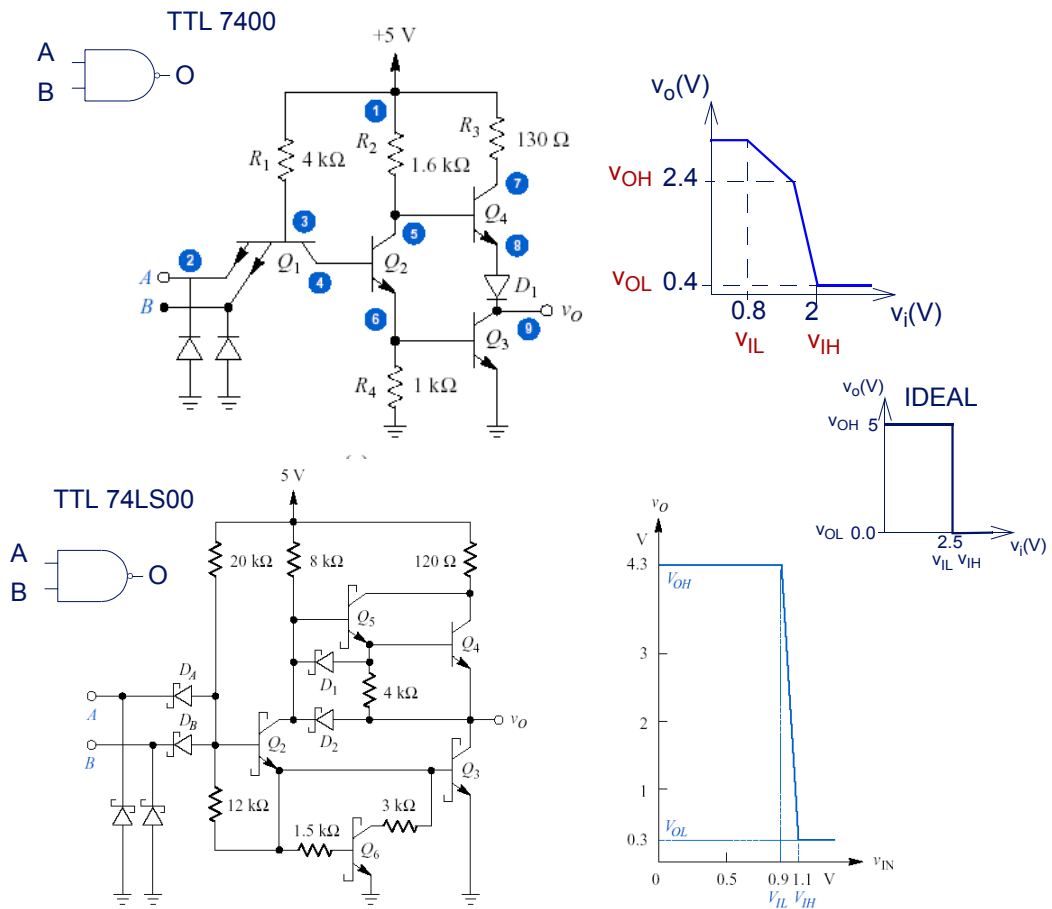
- ◆ Fan-out: 8 puertas
- ◆ Margen de ruido: 1V (con las cinco puertas conectadas)
- ◆ Retraso: 30ns
- ◆ Consumo: 13mW

☞ MEJORES FAN-OUT Y MARGEN DE RUIDO QUE RTL

☞ PEOR TIEMPO DE RETARDO QUE RTL

FAMILIAS LÓGICAS BIPOLARES: TTL

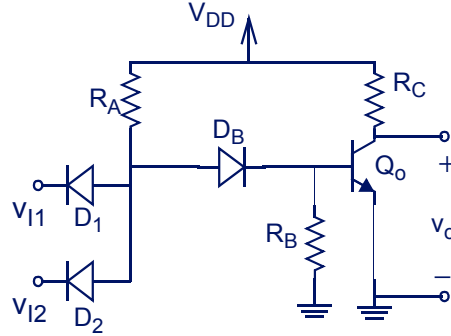
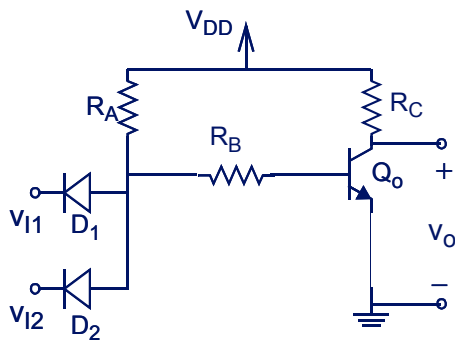
DESARROLLADAS PARA MEJORAR EL RETRASO DE LA DTL
SIN EMPEORAR LO DEMÁS



TTL	7400	74S00	74LS00	74AS00	74ALS00
Fan-out	10	10	10	10	10
$V_{IL}-V_{OL}$ (peor caso)	0.8-0.4V	0.8-0.5V	0.8-0.5V	0.8-0.5V	0.8-0.5V
$V_{OH}-V_{IH}$ (peor caso)	2.4-2V	2.7-2V	2.7-2V	2.7-2V	2.7-2V
Tiempo de Retardo	10ns	3ns	10ns	1.5ns	4ns
Consumo	10 mW	19 mW	2 mW	20 mW	1 mW

FAMILIAS LÓGICAS BIPOLARES: Ejemplos

Ej: En las puerta lógicas de la figura, verificar la tabla que recoge los valores de V_o para las diferentes combinaciones de las entradas. ¿De qué puerta lógica se trata? Calcular el consumo en cada caso.

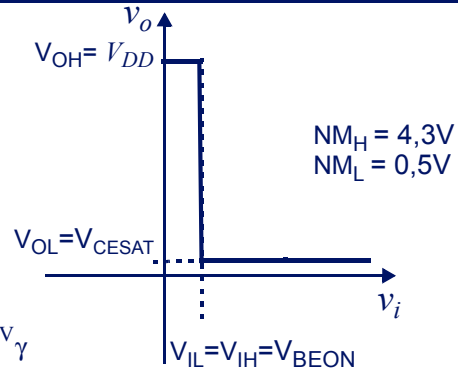
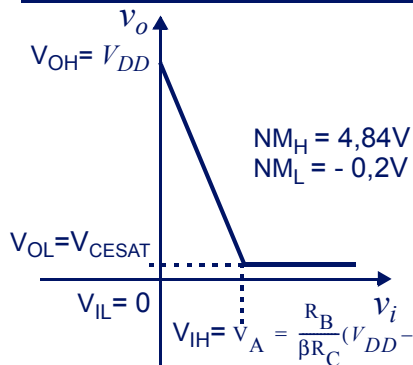
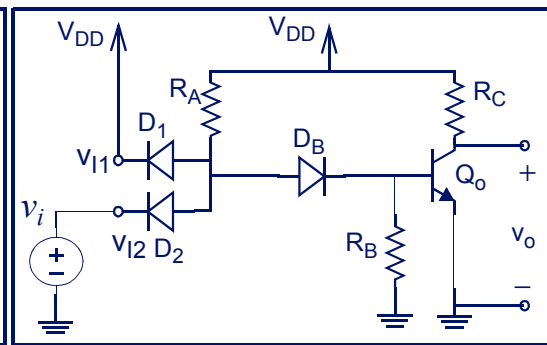
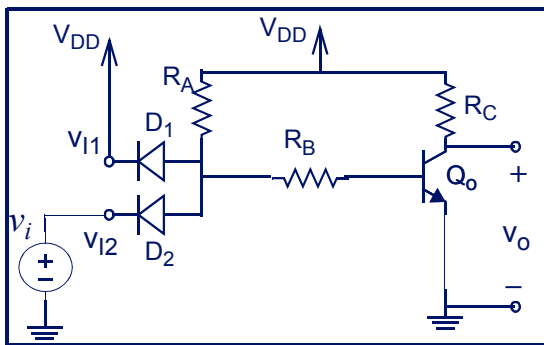


$V_{I1}(V)$	$V_{I2}(V)$	$V_0(V)$	$P(mW)$
0	0	5	4,3
0	5	5	4,3
5	0	5	4,3
5	5	0,2	5,875

$V_{DD} = 5V$
 $R_A = R_C = 5K\Omega$
 $R_B = 15K\Omega$
 $V_{BEON} = V_\gamma = 0.7 \text{ volt.}$
 $V_{BEON} = V_{BEact} = V_{BEsat}$
 $V_{CESAT} = 0.2 \text{ volt.}$
 $\beta = 100$

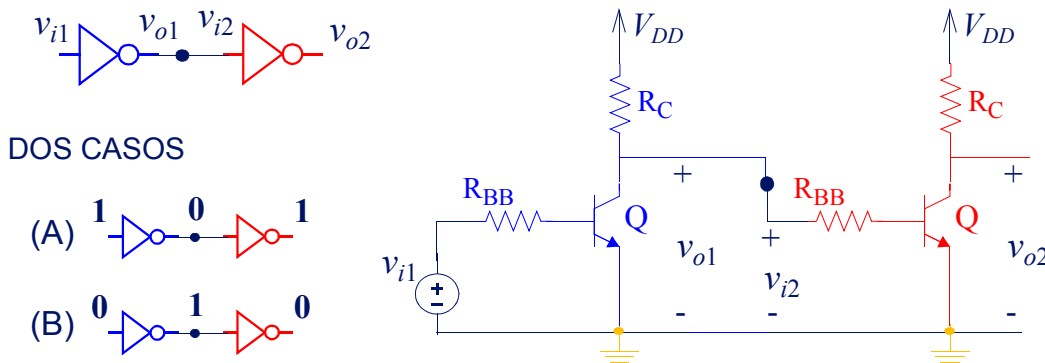
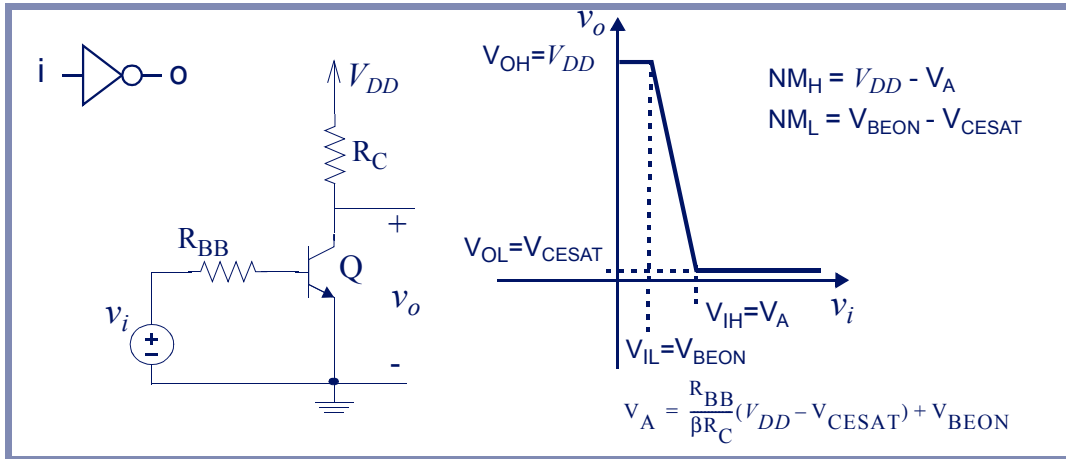
$V_{I1}(V)$	$V_{I2}(V)$	$V_0(V)$	$P(mW)$
0	0	5	4,3
0	5	5	4,3
5	0	5	4,3
5	5	0,2	8,4

Ej: Para las puerta lógicas de la figura, verificar su curva característica. Determinar sus niveles lógicos y sus margen de ruido

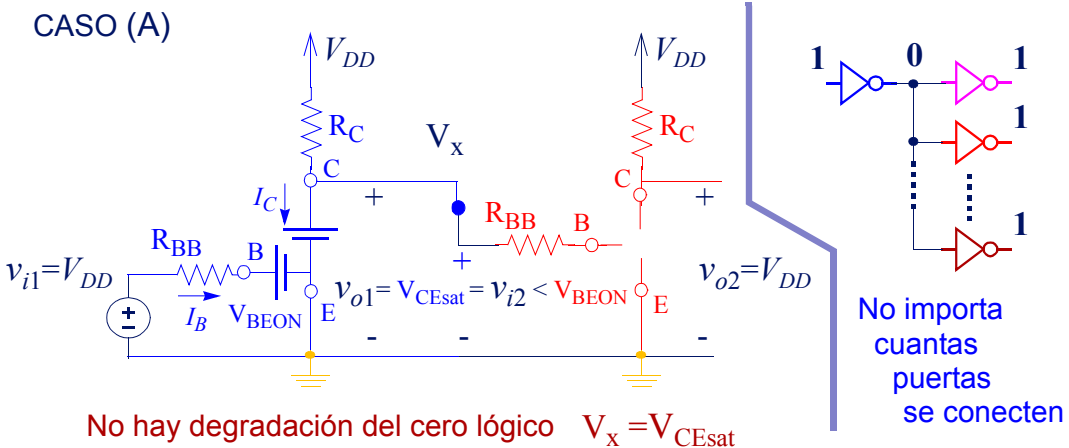
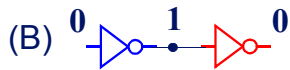
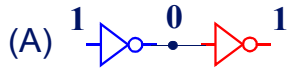


FAMILIAS LÓGICAS BIPOLARES: Ejemplos

Ej: En las puerta lógicas de la figura, comprobar como influye su interconexión sobre los niveles lógicos. ¿Calcular el máximo número de puertas lógicas que pueden ser conectadas a la salida de una dada, sin que estos se degraden?

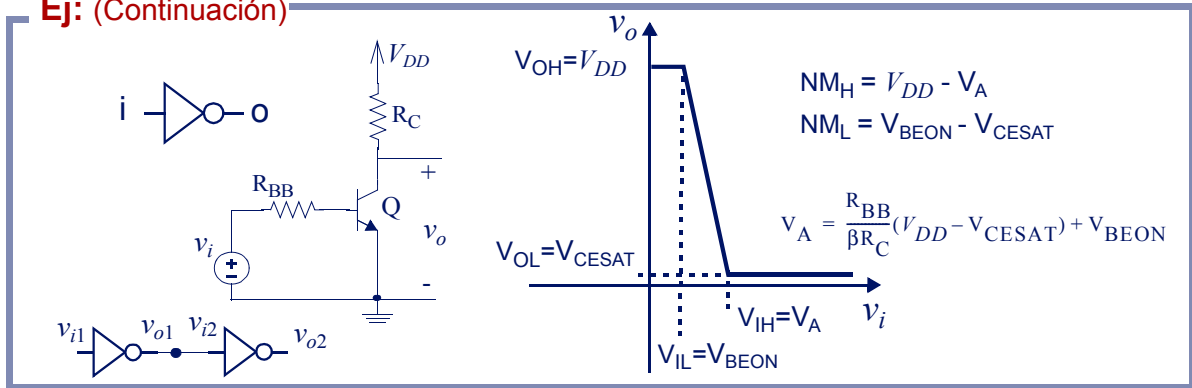


DOS CASOS

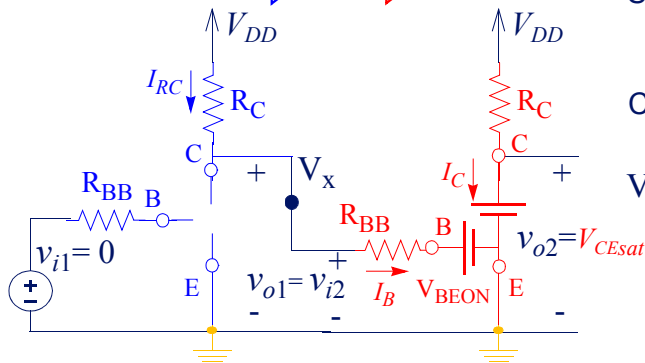


FAMILIAS LÓGICAS BIPOLARES: Ejemplos

Ej: (Continuación)



CASO (B) $0 \rightarrow 1 \rightarrow 0$



Sin conexión

$$V_x = V_{DD} > V_{IH}$$

Con conexión

$$V_x = \frac{(V_{DD} - V_{BEON}) R_{BB}}{R_{BB} + R_C} + V_{BEON} < V_{DD}$$

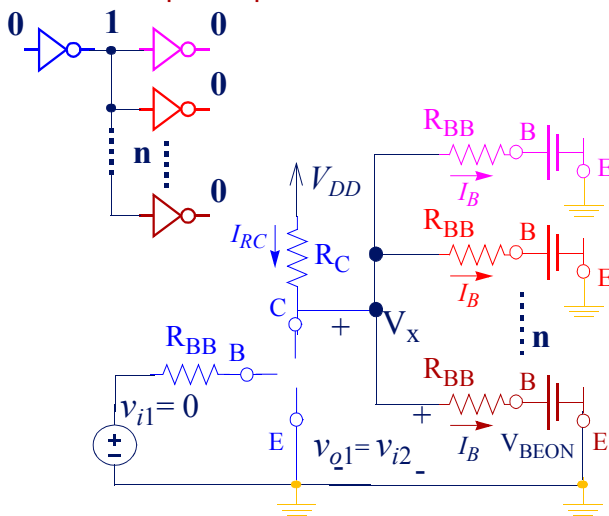
Hay degradación del uno lógico

Siempre que $V_x > V_{IH}$ todo irá bien

$$\frac{(V_{DD} - V_{BEON}) R_{BB}}{R_{BB} + R_C} + V_{BEON} > V_{IH}$$

¿Cuál es el máximo nº de puertas que se pueden conectar?

$$\frac{R_C}{R_{BB}} < \frac{V_{DD} - V_{IH}}{V_{IH} - V_{BEON}}$$



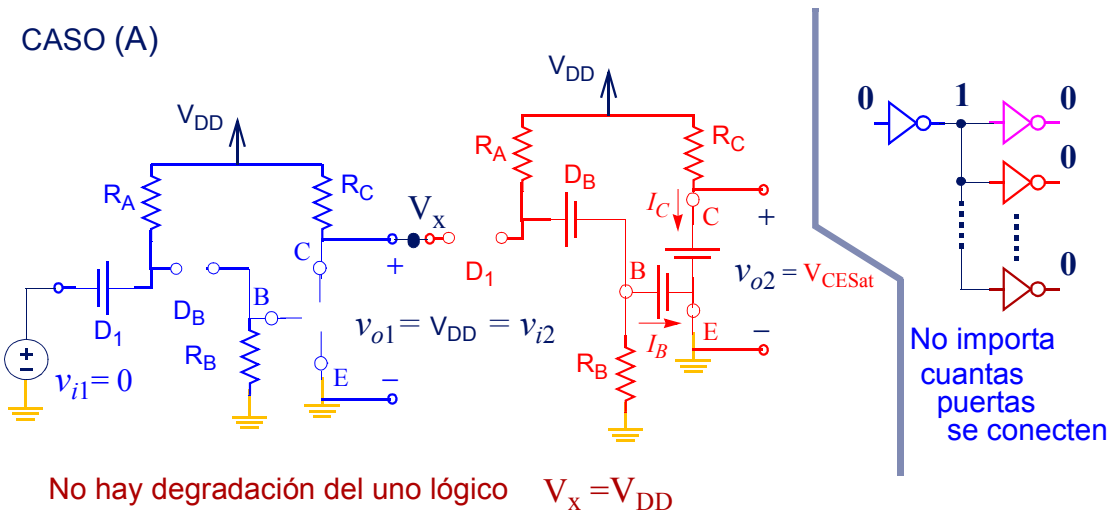
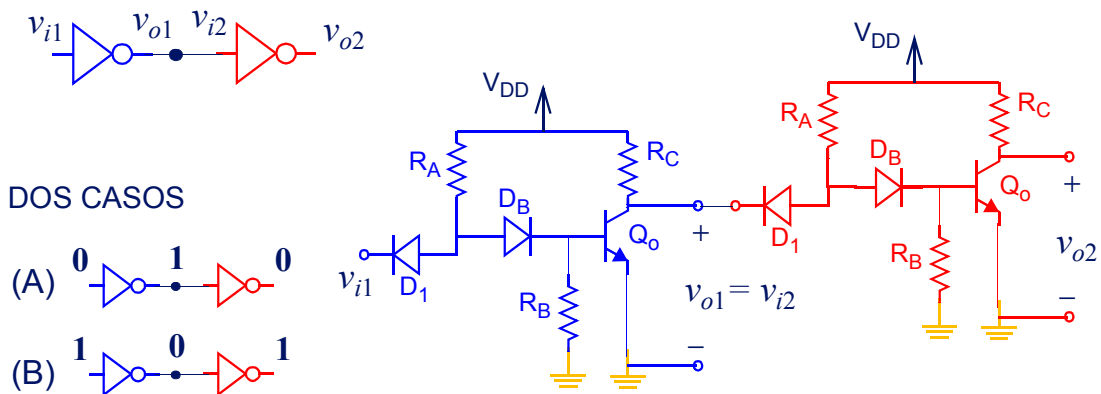
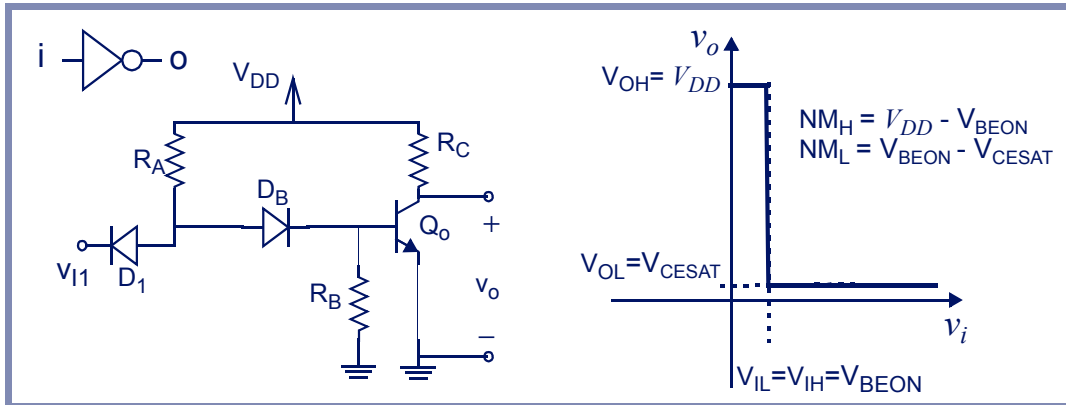
$$R_{Beq} = \frac{R_{BB}}{n}$$

$$V_x = \frac{(V_{DD} - V_{BEON}) R_{Beq}}{R_{Beq} + R_C} + V_{BEON}$$

$$n < \frac{V_{DD} - V_{IH}}{V_{IH} - V_{BEON}} \frac{R_{BB}}{R_C}$$

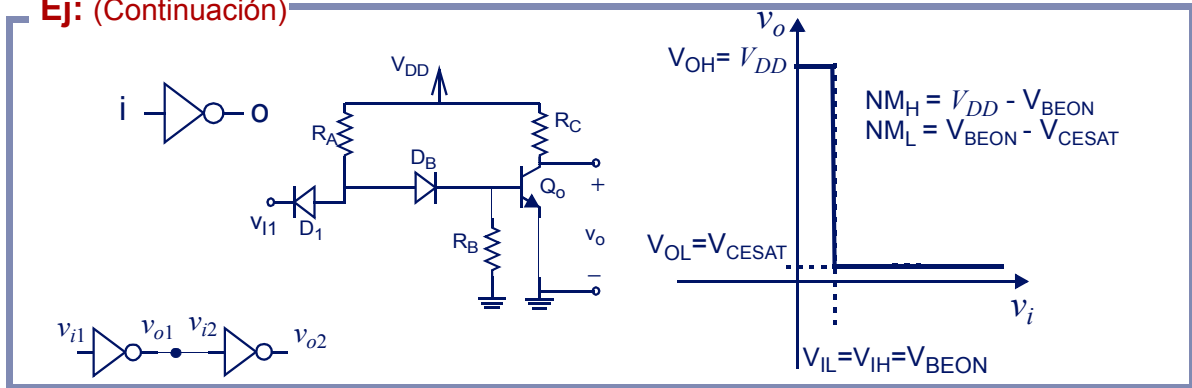
FAMILIAS LÓGICAS BIPOLARES: Ejemplos

Ej: En las puerta lógicas de la figura, comprobar como influye su interconexión sobre los niveles lógicos. ¿Calcular el máximo número de puertas lógicas que pueden ser conectadas a la salida de una dada, sin que estos se degraden?

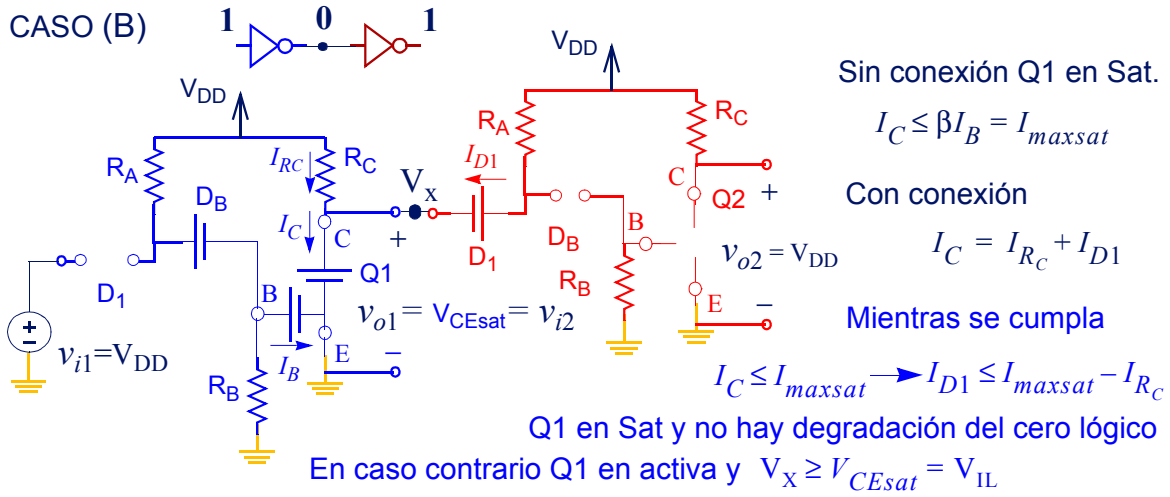


FAMILIAS LÓGICAS BIPOLARES: Ejemplos

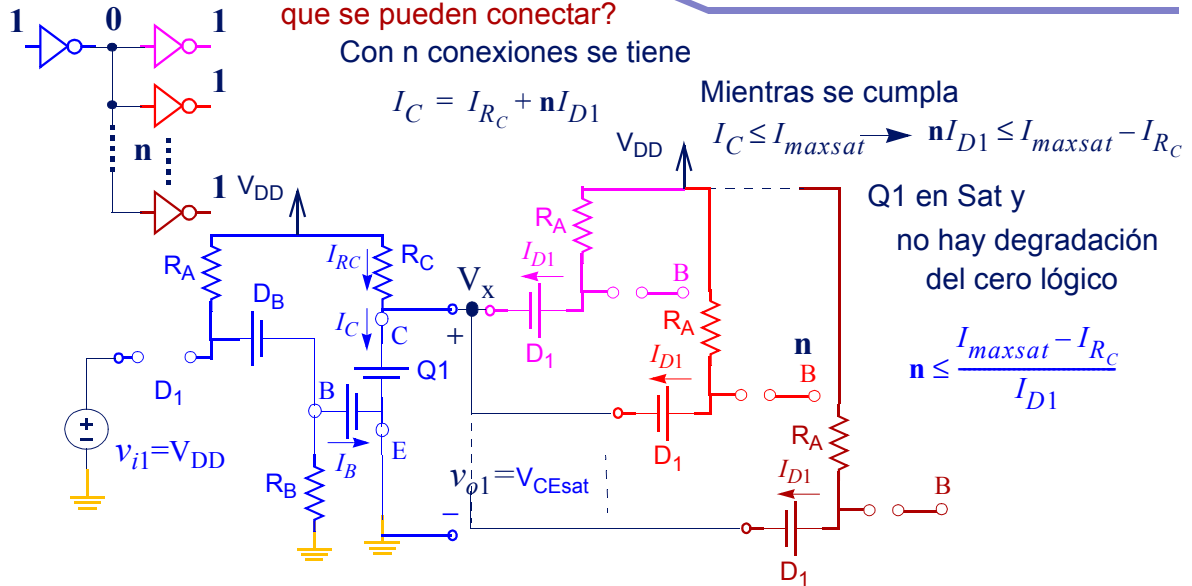
Ej: (Continuación)



CASO (B)



¿Cuál es el máximo nº de puertas que se pueden conectar?



TEMA 5: BREVE EXPLICACIÓN DE LAS TRANSPARENCIAS

Transparencia 1: Índice

Los objetivos fundamentales de este tema son:

- Describir la estructura y los principios físicos del comportamiento de los transistores bipolares de unión pnp y npn.
- Introducir y justificar los modelos básicos de estos dispositivos, y su caracterización como elementos de circuito.
- Adquirir cierta práctica en el análisis de circuitos que contienen transistores bipolares.
- Conocer y analizar las familias lógicas bipolares.

Transparencia 2: Lecturas Complementarias

A continuación se relacionan un conjunto de **Lecturas Complementarias** que completan los contenidos desarrollados en estas transparencias:

- **Fernández Ramos, J. y otros, "Dispositivos Electrónicos para Estudiantes de Informática" Universidad de Málaga / Manuales 2002. Tema 5: pag. 93- 133.**
- **Malik, N.R., "Circuitos Electrónicos. Análisis, Simulación y Diseño", Editorial Prentice-Hall 1996. Tema: 4: pag. 220-251.**
- **Daza A. y García J. "Ejercicios de Dispositivos Electrónicos" Universidad de Málaga/Manuales 2003. Tema 3: pag 107-167.**

Por otra parte, en estas direcciones web pueden encontrarse algunas animaciones que ilustran algunos de los conceptos que aquí se presentan:

- <http://jas.eng.buffalo.edu/education/index.html>
- <http://jas.eng.buffalo.edu/education/bjt/longshort/index.html>

Transparencia 3: Estructura física del transistor bipolar de unión.

Un transistor de unión bipolar (BJT) es un dispositivo electrónico de tres terminales construido sobre un cristal semiconductor y cuya principal característica, desde el punto de vista de su funcionalidad, consiste en que es posible controlar la corriente que fluye entre dos de sus terminales actuando sobre el tercero. Existen dos tipos de transistores bipolares, aunque el funcionamiento de ambos es similar en cuanto a la descripción anterior. El símbolo y una representación esquemática de la estructura física de cada uno de ellos se ilustra en la parte superior de la transparencia.

El **transistor BJT pnp** se construye creando tres regiones diferentes en el cristal semiconductor, dos de tipo p separadas por una de tipo n, mientras que para el **transistor BJT npn** se tienen dos regiones de material de tipo n separadas por una de tipo p. En cada una de estas estructura, cada una de las tres zonas se conecta al exterior por medio de un terminal metálico (un cable), por lo que se crea un **un dispositivo de tres terminales**. Estos terminales reciben el nombre de **emisor (E)**, **base (B)** y **colector (C)** como se ilustra en la transparencia.

Así, básicamente el funcionamiento de este dispositivo puede resumirse indicando que desde el terminal de base es posible controlar el flujo de corriente entre los terminales de emisor y colector.

La estructura física real del transistor se parece más a la que muestra la figura central de la parte de superior de la transparencia. Esta estructura ha de cumplir con algunas características que son importantes para obtener el funcionamiento esperado del transistor y que se destacan en la parte inferior de la transparencia, estas son:

- 1.- Las zonas de emisor y colector no son iguales, **el área de contacto de colector con la base es mucho mayor que la del emisor con la base**. Esto es así porque la función del emisor es inyectar (emitir) portadores de corriente, electrones o huecos, que el colector tiene que recolectar.
- 2.- La **anchura de la base es muy pequeña**. Esto hace que muchos portadores de corriente puedan pasar del emisor al colector a través de la base sin recombinarse en la misma. Por ejemplo, si en un transistor pnp un hueco viaja desde el emisor al colector y se "encuentra" con un electrón en la base (que es de tipo n y por tanto tiene muchos electrones libres), se recombina y desaparece. Sin embargo, como la base es muy estrecha, lo más seguro es que le dé tiempo a atravesarla sin desaparecer.
- 3.- El **emisor está más dopado** que la base, y también que el colector. (Esto se ilustra en las figuras que representan esquemáticamente a los dos tipos de transistores mediante una mayor densidad de portadores en la región de emisor que en las demás.

En la descripción del funcionamiento del transistor en las siguientes transparencias se va a utilizar como referencia el transistor BJT npn, esto es, las descripciones y razonamientos que a continuación se exponen se refieren a este dispositivo. Sin embargo todo lo que en ellas se dice es igualmente aplicable al transistor BJT pnp sin más que intercambiar los papeles que juegan electrones y huecos en cada uno de ellos y la polaridad de las fuentes de tensión conectadas a sus terminales.

Transparencia 4: Regiones de operación.

Se distinguen **cuatro zonas de trabajo** o **regiones de operación**, según estén inversa o directamente polarizadas las dos uniones pn existentes en el transistor: la unión pn B-E (base-emisor) y la unión pn B-C (base-colector). Estas zonas son:

- 1.- **Activa directa:** Unión B-E en directa y unión B-C polarizada en inversa.
- 2.- **Corte:** ambas uniones inversamente polarizadas.
- 3.- **Saturación:** ambas uniones directamente polarizadas.
- 4.- **Activa inversa:** Unión B-E inversamente polarizada y unión B-C directamente polarizada.

En las siguientes transparencias estudiaremos el comportamiento de este dispositivo en cada una de estas zonas de trabajo y el correspondiente modelo que lo caracterizará como elemento de circuito.

Transparencia 5: Región Activa.

Aunque la unión B-C esté inversamente polarizada, no se modela con un circuito abierto (Transparencia 8, Tema4), como se indica arriba en esta transparencia. La razón es que muchos portadores de corriente se difunden a través de la base hasta alcanzar el colector. Hay que tener en cuenta que el emisor emite muchos portadores porque está muy dopado, y casi todos "sobreviven" a la recombinación en la base porque ésta es muy estrecha. Además, los portadores que sobreviven quedan atrapados por el campo eléctrico creado en la unión base-colector. El resultado es que las corrientes de emisor y colector son muy parecidas, se escribe $I_C = \alpha I_E$ con $\alpha \approx 1$.

Por otra parte, como las corrientes de base y de emisor son básicamente corrientes a través de una unión p-n se pueden escribir como (Transparencia 8, Tema 4) $I_B \approx I_{B0} e^{V_{BE}/V_T}$ y $I_E \approx I_{E0} e^{V_{BE}/V_T}$, es decir son proporcionales entre sí ($I_E \propto I_B$).

Como I_C e I_E también son proporcionales, la conclusión es que I_C e I_B son proporcionales, y se puede escribir $I_C = \beta I_B$, siendo β la constante de proporcionalidad. Por lo tanto, como conclusión tenemos que en lugar de $I_C = 0$ en el colector tenemos $I_C = \beta I_B$, que se modela con una fuente de intensidad controlada por intensidad.

El modelo de circuito completo que podemos utilizar está en la parte de abajo de la transparencia, o bien su equivalente de la derecha, que es el más usual. Nótese que en ambos, la unión base-emisor polarizada en directo se modela mediante una fuente de tensión independiente, mientras que en la unión base-colector, polarizada en inverso se modela como una fuente de corriente controlada por la corriente de base, que modela el comportamiento antes descrito.

Para terminar, el hecho de que el emisor esté mucho más dopado que la base, es decir tenga muchos más portadores de corriente, hace que $I_E \gg I_B$, y como $I_C \approx I_E$ debe ser $I_C \gg I_B$, es decir β en $I_C = \beta I_B$ suele ser grande. Este es el principio que permite construir amplificadores, es decir circuitos que toman una señal pequeña (por ejemplo I_B) y devuelven la misma señal multiplicada por un factor grande (por ejemplo $I_C = \beta I_B$). Esta funcionalidad es básica en la electrónica.

Transparencia 6: Regiones de saturación, de corte y activa inversa.

En la **región de saturación** tenemos las dos uniones p-n directamente polarizadas, es decir se comportan como dos diodos en ON, y si las modelamos con una tensión umbral cada una (Transparencia 8, Tema 4), modelo de diodo con tensión umbral), tenemos el modelo de la parte de la derecha, y su equivalente de abajo.

En la **región de corte** tenemos a las dos uniones p-n inversamente polarizadas, y, como hacíamos con el diodo (Transparencia 8, Tema 4), las podemos modelar con un circuito abierto.

Finalmente, la **zona activa inversa** se puede entender exactamente igual que la zona activa directa, pero el colector y el emisor cambian sus papeles, el colector emite portadores y el emisor los recolecta. La consecuencia principal es que, dado que el colector está poco dopado comparado con el emisor, la corriente resultante va a ser menor que en la región activa directa, o dicho de otro modo $\beta_{inv} \ll \beta$.

Transparencia 7: El transistor bipolar como elemento de circuito

El transistor bipolar, como elemento de circuito, es **un elemento de tres terminales**. En esta transparencia se destacan las principales **variables de circuito** que se emplean para caracterizar su comportamiento. Estas variables son en general

seis; las tres intensidades de corriente y las tres tensiones en cada uno de sus terminales. También es posible, como alternativa a las variables de tensión en los terminales, escoger la diferencia de potencial en sus terminales dos a dos. ambos conjuntos se ilustran en la parte superior de la transparencia para los dos tipos de transistores bipolares posibles (pnp y npn).

Ahora bien, de estos conjuntos de variables, **sólo cuatro de ellas** (dos intensidades y dos tensiones) **son independientes**, dado que las leyes de Kirchoff imponen dos condiciones de ligadura entre dichas variables.

Se tienen pues tres posibilidades para escoger dichas variables independientes. Esto da lugar a **tres** posibles **configuraciones** para el transistor bipolar, (ya sea pnp o npn), según se muestra en la parte inferior de la transparencia (sólo para transistor npn): Configuración en **emisor común**, donde se elige el terminal de emisor como referencia de tensiones. Configuración en **base común**, donde es el terminal de base el escogido como referencia y configuración en **colector común** donde hace lo propio el terminal de colector. Todas ellas son empleadas en circuitos electrónicos, aunque en este curso prestaremos más atención a la configuración en emisor común.

Transparencia 8: Transistor bipolar en emisor común: Curvas características y condiciones en las regiones de trabajo.

En esta transparencia se ilustra como se obtiene un modelo sencillo de transistor bipolar, útil para poder resolver problemas de circuitos en los que intervenga este dispositivo. En transparencias anteriores se ha avanzado algo a cerca del modelado del transistor; sin embargo, allí no se han precisado cuales son las condiciones de validez del modelo. Al igual que hemos hecho en el tema anterior con los diodos, tenemos que saber cuándo los modelos son válidos, es decir tenemos que encontrar unas condiciones en las regiones de operación que me permitan saber si efectivamente estoy en ella, y si puedo por tanto utilizar su modelo. En esta transparencia se parte de las curvas características del transistor bipolar en configuración de emisor común y se modelan gráficamente, linealmente a tramos. De la interpretación de este modelo gráfico surge el modelo analítico en cada región de funcionamiento, que será empleado en el análisis de circuitos.

Supongamos que cojo un transistor bipolar en el laboratorio y obtengo las curvas que se muestran en la transparencia. En la parte de arriba se puede ver la curva de la intensidad de base para distintos valores de V_{BE} . Puedes comprobar que esta curva es muy similar a la del diodo (Transparencia 7, Tema 4), y podemos modelarla como hacíamos con el diodo. Es decir, si está en OFF lo modelo como un

circuito abierto y debe ser $V_{BE} \leq V_{BEon}$, que es donde la intensidad I_B vale cero. Como esta intensidad vale cero en la zona de corte, *podemos tomar la condición $V_{BE} \leq V_{BEon}$ para comprobar si realmente estamos en corte.*

Supongamos que $I_B \geq 0$, no estoy en corte y tengo que decidir si estoy en activa directa o en saturación (vamos a suponer que nunca estamos en zona activa inversa). De las curvas de la parte de abajo de la transparencia *podemos deducir que $I_C = \beta I_B$ si $V_{CE} \geq V_{CEsat}$, siendo $\beta = 100$, es decir estaremos en la región activa.*

Por otra parte, en la zona no sombreada de la gráfica se observa que $I_C \leq \beta I_B$ (toma por ejemplo la curva de arriba, con $I_B = 0.4mA$, y observa que en la zona no sombreada la curva baja y es menor que $I_C = \beta I_B = 40mA$). Además, aquí $V_{CE} \approx V_{CEsat}$, que es lo que ocurre en saturación (mira la transparencia anterior, donde hay una fuente de tensión independiente entre el colector y el emisor en el modelo equivalente en saturación). Por lo tanto, *podemos concluir que si $I_C \leq \beta I_B$ estamos en la región de saturación* y es válido el modelo.

Transparencia 9: Transistor bipolar en emisor común: Tabla resumen de modelos y condiciones.

En esta transparencia se resumen los modelos y las condiciones para las distintas regiones de operación de los transistores bipolares npn y pnp, en configuración de emisor común. Nótese que los modelos y expresiones para el transistor pnp, coinciden con los del npn sin más que cambiar el orden de los subíndices de las correspondientes variables, esto es porque, como ya se anunció al final del comentario a la Transparencia 3: ambos transistor funciona de forma idéntica sin más que cambiar la polaridad de las tensiones en sus terminales.

Transparencia 10: El transistor bipolar como elemento de circuito: Ejemplos.

Esta transparencia propone dos ejemplos sencillos de **cálculo de punto de operación**, y **cálculo de curva de transferencia** respectivamente, que han sido completados en clase.

El cálculo del **punto de operación** se contempla en la parte superior de la transparencia. En el ejemplo propuesto, antes de sustituir el transistor por el correspondiente modelo, según el estado de funcionamiento que se intente probar, se ha procedido a una simplificación del circuito sustituyendo parte de él por su equivalente Thévenin, visto desde el nudo marcado con la letra **N**. Así el **circuito equivalente resultante es uno de los más simples posibles a analizar con un solo transistor**; y el más adecuado para obtener de forma rápida su punto de

operación, esto es el valor de las variables tensión y corriente en configuración emisor común en sus terminales.

Por otra parte, el cálculo del equivalente Thevenin en este ejemplo es directo. La tensión Thevenin E_{TH} es la tensión en el nudo **N** respecto de tierra cuando este está desconectado del terminal de base del transistor; y dado que el circuito resultante es un divisor de tensión se tiene que $E_{TH} = \frac{R_{B2}V_{DD}}{R_{B1} + R_{B2}}$ y dado que en el ejemplo $R_{B1} = R_{B2}$, se tiene que $E_{TH} = \frac{V_{DD}}{2}$.

El cálculo de la resistencia Thevenin R_{TH} resulta también directo, $R_{TH} = R_{B1} // R_{B2}$, y en el ejemplo $R_{TH} = \frac{R_{B1}}{2}$.

Tras comprobar que el transistor no puede estar en corte, ni tampoco trabajando en su región activa, se demuestra que el transistor trabaja en su región de saturación y se obtiene por tanto que $V_{BE} = V_{BEon} = 0,7V$, e $I_B = \frac{E_{TH} - V_{BEon}}{R_{B1} // R_{B2}} = 21,5\mu A$,

y que $V_{CE} = V_{CEsat} = 0,2V$ e $I_C = \frac{V_{DD} - V_{CEsat}}{R_C} = 1,96mA$.

En la parte inferior de la transparencia se propone verificar **la curva de transferencia** de un circuito simple con un transistor (como el obtenido en el ejemplo anterior tras la sustitución de parte del circuito por su equivalente Thevenin).

En clase se ha comprobado que el tramo $v_o = V_{DD}$ para valores de $v_i \leq V_{BEon}$ corresponde a Q trabajando en su región de corte; que el tramo $v_o = V_{CEsat}$ para valores de $v_i \geq V_A$, corresponde a Q trabajando en su región de saturación, siendo V_A el valor de tensión dado en la transparencia, y obtenido tras imponer la condición de funcionamiento en la región de saturación dada por $\beta i_B \geq i_C$. Por último, el tramo correspondiente a una recta de pendiente negativa para valores de v_i tales que $V_{BEon} \leq v_i \leq V_A$ corresponde a Q trabajando en su región de activa.

Finalmente cabe destacar el parecido de esta curva de transferencia con **la curva característica ideal de un inversor lógico**. Si un valor de v_i tal que $v_i \leq V_{BEon}$ es interpretado como un "cero lógico" a la entrada, vemos que la salida será un "uno lógico" si se asocia éste a la salida al valor de tensión V_{DD} . Por otra parte, si un valor de v_i tal que $v_i \geq V_A$ es interpretado como un "uno lógico" a la entrada, vemos que la salida será un "cero lógico" si se asocia éste a la salida al valor de tensión V_{CEsat} . Cuando se emplea este circuito como inversor, con el transistor trabajando en las regiones de corte y saturación, se dice que **el transistor trabaja en conmutación**. Esta es la forma habitual de trabajo de los transistores bipolares incluidos en los circuitos electrónicos digitales.

Por su parte, como muestra también la característica de transferencia del

circuito, cuando el **transistor** trabaja en su **región activa**, el circuito se comporta como un **amplificador** de tensión, dada la relación lineal (en primera aproximación, y gracias al modelo lineal simple empleado en estos cálculos) entre v_o y v_i , $v_o = -mv_i + (V_{DD} + mV_{BEon})$ con $m = \frac{\beta R_C}{R_{BB}}$.

Para entender esto de una forma más clara, supongamos que tenemos $v_i = V_I$ con V_I un valor constante tal que $V_{BEon} \leq V_I \leq V_A$, esto es, con ese valor el circuito trabaja con el transistor en su zona activa. Si llamamos V_O a la salida del circuito v_o para $v_i = V_I$ se tendrá que $V_O = -mV_I + (V_{DD} + mV_{BEon})$. Consideremos ahora Δv_i como una pequeña variación de tensión en torno a V_I y de forma que se cumpla que $V_{BEon} \leq V_I + \Delta v_i \leq V_A$, y que para ese valor de entrada se tenga que $V_{CEsat} \leq v_o \leq V_{DD}$, esto es, que para la tensión de entrada $v_i = V_I + \Delta v_i$, el circuito sigue trabajando en la zona activa del transistor. En este caso la salida tomará la forma $v_o = -m(V_I + \Delta v_i) + (V_{DD} + mV_{BEon})$ que puede escribirse $v_o = V_O - m\Delta v_i$; el último término de esta expresión puede ser considerado como una pequeña variación en torno a V_O , de forma que $v_o = V_O + \Delta v_o$ de forma que podemos identificar $\Delta v_o = -m\Delta v_i$. Esta ecuación expresa que en este circuito, con el transistor trabajando en su zona activa, pequeñas variaciones de tensión en torno a la entrada se trasladan a la salida como variaciones amplificadas por un factor m . Este esquema es el fundamento de **la amplificación electrónica señales analógicas**.

Transparencia 11: El transistor bipolar como elemento de circuito: Cálculo del punto de trabajo

Esta transparencia muestra el algoritmo de la Transparencia 15 del Tema 4 particularizado para los transistores bipolares. Como es básicamente el mismo algoritmo, se omite aquí su explicación, y se remite a lo allí explicado.

Transparencia 12: El transistor bipolar como elemento de circuito: Cálculo de la característica de transferencia

Esta transparencia muestra el algoritmo en la Transparencia 19 del Tema 4 particularizado para los transistores bipolares. Como es básicamente el mismo algoritmo, se omite aquí su explicación, y se remite a lo allí explicado.

Transparencia 13: Familias lógicas bipolares; RTL.

En esta transparencia se muestra una primera familia de **puertas lógicas hecha con transistores bipolares y resistencias**, la RTL. Puedes ver el inversor y

la puerta lógica básica, que es una NOR. Recuerda que a partir de puertas NOR se puede construir cualquier circuito combinacional. Puedes ver en la transparencia la característica de transferencia, y abajo una serie de valores ejemplo que ilustran la calidad de las puertas que se consiguen con esta familia.

Estas puertas regeneran los niveles (no como los diodos - Transparencia 27 del Tema 4), y tienen datos de retraso y consumo relativamente buenos.

El **problema fundamental es que el fan-out es pequeño** (ver Transparencia 15 del tema 1), **y el margen de ruido también** (el que se da de 0.13V es el peor caso, con 5 puertas conectadas a la salida).

Los esfuerzos para mejorar estos datos dan lugar a la familia DTL, que se explica en la siguiente transparencia.

Transparencia 14: Familias lógicas bipolares: DTL.

La familia DTL se construye con **diodos y transistores**, además de **resistencias**. Estas puertas **tratan de mejorar los datos de margen de ruido y fan-out** de las puertas RTL.

En la transparencia puedes ver que hay una versión más básica que sólo tiene un transistor, y otra (inversor de abajo) que tiene dos transistores. Esta última tiene mejor fan-out. La puerta básica de la familia es la NAND, con la que se puede construir cualquier circuito combinacional. En la transparencia puedes ver la característica de transferencia y algunos datos para evaluar la calidad de las puertas de esta familia.

Su principal **inconveniente es que son lentas**, tienen un retraso bastante grande, razón por la cual se trabajó para conseguir la familia TTL, que vemos en la siguiente transparencia.

Transparencia 15: Familias lógicas bipolares: TTL.

Como se ha dicho ya, **esta familia se diseña para conseguir un menor retraso, y al mismo tiempo preservar o mejorar el resto de los parámetros de calidad que da la familia DTL** de la transparencia anterior.

Existen muchas versiones de esta familia, que también tiene como puerta básica la NAND, ya que en realidad es una evolución de la familia DTL. En la transparencia se muestran los esquemas de dos puertas, una estándar, la 7400, y una de bajo consumo con transistores Schottky (una variante del transistor bipolar), la 74LS00. En la parte de abajo de la transparencia puedes ver una tabla con los datos de varias familias lógicas TTL comerciales.

Transparencia 16: Familias lógicas bipolares: Ejemplos

Esta transparencia propone diversos ejemplos de **cálculo sobre circuitos** que representa **puertas lógicas DTL**.

En la mitad superior se propone el análisis de dos circuitos diferentes que realizan la función NAND, como puede deducirse tras realizar el **cálculo de las tensiones de salida** para cada una de las cuatro combinaciones de entrada que corresponderían a las cuatro combinaciones binarias de la tabla de verdad de una función booleana de dos entradas. En dicho ejemplo se calcula también el **consumo estático** del circuito en cada caso.

En ambos ejemplos, para aquellas combinaciones que incluyen 0 voltios a la entrada, se tendrá que el correspondiente diodo de entrada conducirá, lo que a su vez provoca que el correspondiente transistor de salida esté cortado y por tanto, que la tensión de salida sea la de alimentación V_{DD} . El consumo ($V_{DD} \times I_{DD}$) en todos ellos es además el mismo, dado que éste corresponde al de la potencia disipada en la resistencia R_A , única por la que circula corriente. También en ambos circuitos, la combinación (5V, 5V) fuerza que los correspondientes diodos de entrada se corten y por tanto que el transistor correspondiente conduzca. Se verifica que la conducción se realiza en saturación, por lo que en ambos casos la tensión de salida corresponde a la tensión de saturación del transistor (V_{CEsat}). Por lo que respecta al consumo, aquí si existe diferencia entre ambos circuitos. Esta diferencia radica en el consumo debido a la corriente que circula por la rama que contiene la resistencia R_A , que resulta ser superior en el segundo circuito; dado que es claro que la corriente que circula por la rama que contiene la resistencia R_C es la misma en ambos circuitos.

En la mitad inferior de la transparencia se muestra la **característica de transferencia** de cada una de las puertas lógicas anteriormente estudiadas. A partir de ellas es posible determinar **los niveles lógicos** y finalmente los **márgenes de ruido**.

Por lo que respecta a la curva característica y a los márgenes de ruido la diferencia entre ambas implementaciones NAND resulta mucho más apreciable. En el primero de los casos, - abajo a la izquierda - la curva característica es tal que se tiene un margen de ruido para el cero negativo. Esta situación se mejora para el segundo caso - abajo a la derecha -, donde la curva característica se asemeja más a la curva ideal, aunque el margen de ruido del cero resulta pequeño. Una ulterior mejora para este tipo de puertas se consigue añadiendo algún diodo más en serie con el diodo D_B . (Ver TRANSP. 14 y Problema 7 de la quinta relación).

Transparencia 17: Familias lógicas bipolares: Ejemplos

Esta transparencia y la siguiente ilustran de forma cuantitativa y mediante un ejemplo **qué ocurre cuando se interconectan dos puertas lógicas RTL**, en particular dos inversores de esta familia, cuya estructura, característica de transferencia, niveles lógicos y márgenes de ruido se muestran en la figura de la parte superior.

Se presentan dos situaciones:

Caso A propagación de un **0 lógico**, y

Caso B propagación de un **1 lógico**.

En la parte inferior de esta transparencia se analiza el primero de los casos, **Caso A**, y se concluye que **no hay degradación del 0 lógico**, esto es, que el hecho de conectar ambas puertas no afecta al valor de tensión correspondiente a un **0 lógico** a la salida del primer inversor; y por tanto, que el número de puertas que podrían ser conectadas a la salida de la primera en esta situación no está limitado.

Transparencia 18: Familias lógicas bipolares: Ejemplos

Esta transparencia es continuación de la anterior. En ella se analiza en primer lugar el **Caso B**, y se concluye que **hay degradación del 1 lógico**, esto es, que el hecho de conectar ambas puertas afecta directamente al valor de tensión proporcionado como **1 lógico** a la salida del primer inversor, (denominado V_x en la figura). **Siempre que se cumpla** la condición $V_x > V_{IH}$, **no habrá problema** y el **1 lógico** será bien interpretado por el segundo inversor; **en caso contrario** habrá un **mal funcionamiento**. En el ejemplo analizado se presenta finalmente una condición de diseño del inversor RTL, en términos de la razón entre la resistencia de colector R_C y de base R_{BB} , y que garantiza un buen funcionamiento.

En la parte inferior de la transparencia se responde a la pregunta de **cuál es el máximo número (n) de puertas lógicas de esta familia que pueden ser conectadas a la salida de una dada, sin que se degrade el 1 lógico**. A partir del circuito simplificado de la figura, en el que se considera la conexión de n puertas, se calcula V_x , que depende de n , y en base a la condición ($V_x > V_{IH}$) se obtiene una expresión para n máximo, en términos de los niveles lógicos y los valores de las la resistencia de colector R_C y de base R_{BB} .

Por tanto, el número de puertas que podrían ser conectadas a la salida de la primera está limitado. Este límite se denomina **fan-out** de la puerta lógica.

Transparencia 19: Familias lógicas bipolares: Ejemplos

Esta transparencia y la siguiente ilustran de forma cuantitativa y mediante un ejemplo **qué ocurre cuando se interconectan dos puertas lógicas DTL**, en particular dos inversores de esta familia, cuya estructura, característica de transferencia, niveles lógicos y márgenes de ruido se muestran en la figura de la parte superior.

Se presentan dos situaciones:

Caso A propagación de un **1 lógico**, y

Caso B propagación de un **0 lógico**.

En la parte inferior de esta transparencia se analiza el primero de los casos, **Caso A**, y se concluye que **no hay degradación del 1 lógico**, esto es, que el hecho de conectar ambas puertas no afecta al valor de tensión correspondiente a un **1 lógico** a la salida del primer inversor; y por tanto, que el número de puertas que podrían ser conectadas a la salida de la primera en esta situación no está limitado.

Transparencia 20: Familias lógicas bipolares: Ejemplos

Esta transparencia es continuación de la anterior. En ella se analiza en primer lugar el **Caso B** y se concluye que **hay degradación del 0 lógico**, esto es, que el hecho de conectar ambas puertas afecta directamente al valor de tensión proporcionado como **0 lógico** a la salida del primer inversor, (denominado V_x en la figura). **Siempre que se cumpla la condición $V_x < V_{IL}$, no habrá problema** y el **0 lógico** será bien interpretado por el segundo inversor; **en caso contrario** habrá un **mal funcionamiento**. Dado que en el circuito V_x valdrá V_{CEsat} , **siempre que el transistor Q1 se mantenga en saturación, no habrá problema**. Esta situación se mantendrá mientras se cumpla para la corriente de colector y base de Q1 la relación $I_C \leq \beta I_B$. **Pero tras la conexión $I_C = I_{R_C} + I_{D_1}$** , esto es la corriente de colector de Q1 es la suma de la corriente que fluye por la resistencia de colector R_C y la corriente que proviene de la entrada del segundo inversor, esto es, la corriente que circula por D_1 ; **y podría ocurrir que deje de cumplirse la condición de saturación en Q1**. En esta circunstancia, Q1 **entraría en su zona activa**, y no está garantizado que se cumpla la condición $V_x < V_{IL}$, con lo que **el 0 lógico podría ser mal interpretado por el segundo inversor**. En el ejemplo analizado en la transparencia se presenta finalmente una condición de diseño para inversor DTL en términos de relación entre corrientes, y cuyo cumplimiento garantiza un buen funcionamiento.

En la parte inferior de la transparencia se responde a la pregunta de **cuál es el máximo número (n) de puertas lógicas de esta familia que pueden ser conectadas a la salida** de una dada, sin que se degrade el cero lógico. A partir del

circuito simplificado de la figura, en el que se considera la conexión de n puertas, se calcula la corriente de colector en Q1 tras la conexión, que depende de n , y en base a la condición $I_C \leq \beta I_B$ se obtiene una expresión para n máximo, en términos de la máxima corriente de saturación (βI_B), de la corriente en la resistencia R_C y la corriente en el diodo D1.

Por tanto, el número de puertas que podrían ser conectadas a la salida de la primera está limitado. Este límite se denomina **fan-out** de la puerta lógica.

